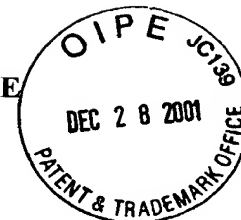


IN THE UNITED STATES PATENT AND TRADEMARK OFFICE



IN RE APPLICATION OF: Hiroshi WATANABE

GAU:

SERIAL NO: 09/973,019

EXAMINER:

FILED: October 10, 2001

FOR: SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

REQUEST FOR PRIORITY

ASSISTANT COMMISSIONER FOR PATENTS  
WASHINGTON, D.C. 20231

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number [US App No], filed [US App Dt], is claimed pursuant to the provisions of **35 U.S.C. §120**.
- ☐ Full benefit of the filing date of U.S. Provisional Application Serial Number, filed, is claimed pursuant to the provisions of **35 U.S.C. §119(e)**.
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of **35 U.S.C. §119**, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
JAPAN	2000-310155	October 11, 2000

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number .  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and  
(B) Application Serial No.(s)
  - ☐ are submitted herewith
  - ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.

*Joseph A. Scafetta Jr.*

Marvin J. Spivak  
Registration No. 24,913

Joseph A. Scafetta, Jr.  
Registration No. 28,803

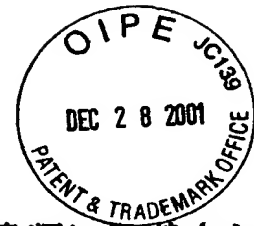


22850

Tel. (703) 413-3000  
Fax. (703) 413-2220  
(OSMMN 10/98)

09/973,019

日 本 国 特 許 庁  
JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年10月11日

出 願 番 号

Application Number:

特願2000-310155

出 願 人

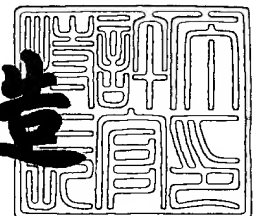
Applicant(s):

株式会社東芝

2001年 9月 5日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3081961

【書類名】 特許願

【整理番号】 46B0080281

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78

【発明の名称】 半導体装置及びその製造方法

【請求項の数】 11

【発明者】

    【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝  
                                マイクロエレクトロニクスセンター内

    【氏名】 渡部 浩

【発明者】

    【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝  
                                マイクロエレクトロニクスセンター内

    【氏名】 成毛 清実

【発明者】

    【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝  
                                マイクロエレクトロニクスセンター内

    【氏名】 増田 和紀

【特許出願人】

    【識別番号】 000003078

    【氏名又は名称】 株式会社 東芝

【代理人】

    【識別番号】 100083161

    【弁理士】

    【氏名又は名称】 外川 英明

    【電話番号】 (03)3457-2512

【手数料の表示】

    【予納台帳番号】 010261

    【納付金額】 21,000円

【提出物件の目録】

【物件名】	明細書	1
【物件名】	図面	1
【物件名】	要約書	1
【プルーフの要否】	要	

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】

半導体基板上に形成された第 1 ゲートと、この第 1 ゲート周囲の前記半導体基板中に形成された N 型低濃度拡散層と、この N 型低濃度拡散層の周囲の前記半導体基板中に形成された N 型高濃度拡散層と、この第 1 ゲート周囲に形成された第 1 ゲート側壁とを有する N 型トランジスタと、

前記半導体基板上に形成された第 2 ゲートと、この第 2 ゲート周囲の前記半導体基板中に形成された P 型低濃度拡散層と、この P 型低濃度拡散層の周囲の前記半導体基板中に形成された P 型高濃度拡散層と、この第 2 ゲート周囲に形成され、前記 N 型トランジスタの第 1 ゲート側壁と同じ厚さを有する第 2 ゲート側壁とを有する P 型トランジスタとを備え、

前記第 2 ゲート及び前記第 2 ゲート側壁下の P 型低濃度拡散層は前記第 2 ゲート下方向へ延出している長さが前記第 1 ゲート及び前記第 1 ゲート側壁下の N 型低濃度拡散層が前記第 1 ゲート下方向へ延出している長さより長く形成されていることを特徴とする半導体装置。

【請求項 2】

半導体基板上に形成された第 1 ゲートと、この第 1 ゲート周囲の前記半導体基板中に形成された第 1 導電型低濃度拡散層と、この第 1 導電型低濃度拡散層の周囲の前記半導体基板中に形成された第 1 導電型高濃度拡散層と、この第 1 ゲート周囲に形成された第 1 ゲート側壁とを有する第 1 導電型トランジスタと、

前記半導体基板上に形成された第 2 ゲートと、この第 2 ゲート周囲の前記半導体基板中に形成され、前記第 2 ゲート下方向へ延出している長さが前記第 1 ゲート及び前記第 1 ゲート側壁下の第 1 導電型低濃度拡散層が前記第 1 ゲート下方向へ延出している長さより長く形成されている第 2 導電型低濃度拡散層と、この第 2 導電型低濃度拡散層の周囲の前記半導体基板中に形成された第 2 導電型高濃度拡散層と、この第 2 ゲート周囲に形成された第 2 ゲート側壁とを有する第 2 導電型トランジスタと、

前記半導体基板上に形成され、前記半導体基板上に形成された第3ゲートと、この第3ゲート周囲の前記半導体基板中に形成された第1導電型高濃度拡散層と、この第3ゲート周囲に形成された第3ゲート側壁とを有するメモリセルトランジスタとを備え、

前記第1乃至第3ゲート側壁はそれぞれの厚さが等しいことを特徴とする半導体装置。

【請求項3】

電荷蓄積層を有する不揮発性メモリ素子と、LDD側壁を有するN型MOSトランジスタと、LDD側壁を有するP型MOSトランジスタを備えた半導体装置において、

前記N型MOSトランジスタは前記LDD側壁下に形成されたLDD拡散層と、前記LDD側壁の内側に一部オーバーラップされて形成され、前記LDD拡散層よりも濃度の濃い拡散層とを有し、

前記P型MOSトランジスタは前記LDD側壁下に形成されたLDD拡散層と、前記LDD側壁の外側に形成され、前記LDD拡散層よりも濃度の濃い拡散層とを有していることを特徴とする半導体装置。

【請求項4】

半導体基板上に高耐圧PMOSトランジスタのゲート及び高耐圧NMOSトランジスタのゲートを形成する工程と、

前記高耐圧NMOSトランジスタのゲートをマスクとして前記半導体基板中にNマイナス拡散層を形成する工程と、

前記高耐圧PMOSトランジスタのゲートをマスクとして前記半導体基板中にPマイナス拡散層を形成する工程と、

前記高耐圧PMOSトランジスタ及び高耐圧NMOSトランジスタの各ゲートに第1側壁を形成する工程と、

前記高耐圧NMOSトランジスタの第1側壁をマスクとしてNプラス拡散層を前記半導体基板中に形成する工程と、

前記高耐圧PMOSトランジスタ及び前記高耐圧NMOSトランジスタの第1側壁に第2の側壁を形成する工程と、

前記高耐圧PMOSトランジスタの第2側壁をマスクとしてPプラス拡散層を前記半導体基板中に形成する工程と

を有することを特徴とする半導体装置の製造方法。

【請求項5】

半導体基板上に高耐圧PMOSトランジスタのゲート及び高耐圧NMOSトランジスタのゲートを形成する工程と、

前記高耐圧NMOSトランジスタのゲートをマスクとして前記半導体基板中にNマイナス拡散層を形成する工程と、

前記高耐圧PMOSトランジスタ及び高耐圧NMOSトランジスタの各ゲートに第1側壁を形成する工程と、

前記高耐圧NMOSトランジスタの第1側壁をマスクとしてNプラス拡散層を前記半導体基板中に形成する工程と、

前記高耐圧PMOSトランジスタの第1の側壁をマスクとして前記半導体基板中にPマイナス拡散層を形成する工程と、

前記高耐圧PMOSトランジスタ及び前記高耐圧NMOSトランジスタの第1側壁に第2の側壁を形成する工程と、

前記高耐圧PMOSトランジスタの第2側壁をマスクとしてPプラス拡散層を前記半導体基板中に形成する工程と

を有することを特徴とする半導体装置の製造方法。

【請求項6】

半導体基板に素子分離領域を形成する工程と、

半導体基板上に高耐圧トランジスタ用の第1のゲート絶縁膜を形成する工程と

前記第1のゲート絶縁膜よりも膜厚が薄い低電圧トランジスタ用の第2のゲート絶縁膜を形成する工程と、

ゲート電極となる導電材料を積層し、順次エッチングにより選択的にパターニングする工程と、

半導体基板に第2導電型の不純物を導入する工程と、

第1の側壁材を堆積する工程と、

第 1 の側壁材を異方性エッチングにより選択的にエッチングして前記ゲート電極の側面に第 1 の側壁材を側壁残しする工程と、

半導体基板の第 1 MOS トランジスタ領域に前記第 2 導電型不純物拡散層よりも高濃度の不純物を導入する工程と、

第 2 の側壁材及び第 2 の側壁材とは異なる第 3 の側壁材を堆積する工程と、

第 3 の側壁材を異方性エッチングにて選択的にエッチングして、前記第 2 の側壁材の側面に第 3 の側壁材を側壁残しする工程と、

半導体基板の第 2 MOS トランジスタ領域に前記第 3 の側壁材をマスクとして第 1 導電型不純物を導入する工程と、

第 3 の側壁を除去する工程と、

前記半導体基板全面に絶縁膜を堆積する工程と、

前記絶縁膜にコンタクトホールを選択的に形成する工程と

を具備することを特徴とする半導体装置の製造方法。

【請求項 7】

半導体基板に素子分離領域を形成する工程と、

メモリセル用のトンネル酸化膜、フローティングゲート電極及びインターポリ絶縁膜とを形成する工程と、

半導体基板上に高耐圧トランジスタ用の第 1 のゲート絶縁膜を形成する工程と

前記第 1 のゲート絶縁膜よりも膜厚が薄い低電圧トランジスタ用の第 2 のゲート絶縁膜を形成する工程と、

コントロールゲート電極及びゲート電極となる導電材料を積層し、前記のコントロールゲート電極とインターポリ絶縁膜とフローティングゲートを順次エッチングにより選択的にパターニングする工程と、

周辺回路領域のゲート電極を選択的にパターニングする工程と、

メモリセル領域、周辺回路領域の半導体基板に第 2 導電型の不純物を導入する工程と、

第 1 の側壁材を堆積する工程と、

第 1 の側壁材を異方性エッチングにより選択的にエッチングして前記ゲート電



極の側面に第 1 の側壁材を側壁残しする工程と、

半導体基板の第 1 MOS トランジスタ領域に前記第 2 導電型不純物拡散層よりも高濃度の不純物を導入する工程と、

第 2 の側壁材及び第 2 の側壁材とは異なる第 3 の側壁材を堆積する工程と、

第 3 の側壁材を異方性エッチングにて選択的にエッチングして、前記第 2 の側壁材の側面に第 3 の側壁材を側壁残しする工程と、

半導体基板の第 2 MOS トランジスタ領域に前記第 3 の側壁材をマスクとして第 1 導電型不純物を導入する工程と、

第 3 の側壁を除去する工程と、

前記半導体基板全面に絶縁膜を堆積する工程と、

前記絶縁膜にコンタクトホールを選択的に形成する工程と、

金属配線を形成する工程と、

金属配線上に絶縁膜を形成する工程と

を具備することを特徴とする半導体装置の製造方法。

【請求項 8】

半導体基板に素子分離領域を形成する工程と、

前記半導体基板上に高耐圧トランジスタ用の第 1 のゲート絶縁膜を形成する工程と、

前記第 1 のゲート絶縁膜よりも膜厚が薄い低電圧トランジスタ用の第 2 のゲート絶縁膜を形成する工程と、

ゲート電極となる導電材料を積層し、エッチングにより選択的にパターニングする工程と、

第 1 MOS トランジスタ領域の半導体基板に第 2 導電型の不純物を導入する工程と、

第 1 の側壁材を堆積する工程と、

第 1 の側壁材を異方性エッチングにより選択的にエッチングして前記ゲート電極の側面に第 1 の側壁材を側壁残しする工程と、

半導体基板の第 2 MOS トランジスタ領域に前記第 1 の側壁材をマスクとして第 1 導電型の不純物を導入する工程と、

半導体基板の第1 MOS トランジスタ領域に前記第2 導電型不純物拡散層よりも高濃度の不純物を導入する工程と、

第2 の側壁材及び第2 の側壁材とは異なる第3 の側壁材を堆積する工程と、

第3 の側壁材を異方性エッチングにて選択的にエッチングして、前記第2 の側壁材の側面に第3 の側壁材を側壁残しする工程と、

半導体基板の第2 MOS トランジスタ領域に前記第1 導電型不純物拡散層よりも高濃度の第1 導電型不純物を導入する工程と、

第3 の側壁を除去する工程と、

基板全面に絶縁膜を堆積する工程と、

前記絶縁膜にコンタクトホールを選択的に形成する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項9】

半導体基板に素子分離領域、メモリセル用のトンネル酸化膜、フローティングゲート電極及びインターポリ絶縁膜とを形成する工程と、

半導体基板上に高耐圧トランジスタ用の第1 のゲート絶縁膜を形成する工程と、

前記第1 のゲート絶縁膜よりも膜厚が薄い低電圧トランジスタ用の第2 のゲート絶縁膜を形成する工程と、

コントロールゲート電極及びゲート電極となる導電材料を積層し、前記のコントロールゲート電極とインターポリ絶縁膜とフローティングゲートを順次エッチングにより選択的にパターニングする工程と、

周辺回路領域のゲート電極を選択的にパターニングする工程と、

メモリセル領域、周辺回路の第1 MOS トランジスタ領域の半導体基板に第2 導電型の不純物を導入する工程と、

第1 の側壁材を堆積する工程と、

第1 の側壁材を異方性エッチングにより選択的にエッチングして前記ゲート電極の側面に第1 の側壁材を側壁残しする工程と、

半導体基板の第2 MOS トランジスタ領域に第1 導電型の不純物を導入する工程と、

半導体基板の第 1 MOS トランジスタ領域に前記第 2 導電型不純物拡散層よりも高濃度の不純物を導入する工程と、

第 2 の側壁材及び第 2 の側壁材とは異なる第 3 の側壁材を堆積する工程と、

第 3 の側壁材を異方性エッチングにて選択的にエッチングして、前記第 2 の側壁材の側面に第 3 の側壁材を側壁残しする工程と、

半導体基板の第 2 MOS トランジスタ領域に前記第 1 導電型不純物拡散層よりも高濃度の不純物を導入する工程と、

第 3 の側壁を除去する工程と、

基板全面に絶縁膜を堆積する工程と、

前記絶縁膜にコンタクトホールを選択的に形成する工程と、

少なくとも一層の金属配線を形成する工程と、金属配線上に絶縁膜を形成する工程と

を具備することを特徴とする半導体装置の製造方法。

【請求項 1 0】

半導体基板に第 1 導電型の不純物を導入する工程と、

メモリセル領域にトンネル酸化膜、フローティングゲートを形成する工程と、

周辺回路領域に高耐圧用トランジスタの第 1 のゲート絶縁膜を形成する工程と

、  
前記第 1 のゲート絶縁膜よりも膜厚が薄い低電圧トランジスタ用の第 2 のゲート絶縁膜を形成する工程と、

メモリセル用のインターポリ絶縁膜を形成する工程と、

コントロールゲート電極及びゲート電極となる導電材料を積層し、前記コントロールゲート電極、インターポリ絶縁膜、及びフローティングゲートを順次エッチングにより選択的にパターニングする工程と、

周辺回路領域のゲート電極を選択的にパターニングする工程と、

メモリセル領域、周辺回路領域の半導体基板中に第 2 導電型の不純物を導入する工程と、

第 1 の側壁材を堆積する工程と、

第 1 の側壁材を異方性エッチングにより選択的にエッチングして前記ゲート電

極の側面に第 1 の側壁材を側壁残しする工程と、

半導体基板の第 1 MOS トランジスタ領域に前記第 2 導電型不純物拡散層よりも高濃度の不純物を導入する工程と、

第 2 の側壁材及び第 2 の側壁材とは異なる第 3 の側壁材を堆積する工程と、

第 3 の側壁材を異方性エッチングにて選択的にエッチングして、前記第 2 の側壁材の側面に第 3 の側壁材を側壁残しする工程と、

半導体基板の第 2 MOS トランジスタ領域に前記第 3 の側壁材をマスクとして第 1 導電型不純物を導入する工程と、

第 3 の側壁を除去する工程と、

前記半導体基板全面に絶縁膜を堆積する工程と、

前記絶縁膜にコンタクトホールを選択的に形成する工程と、

金属配線を形成する工程と、

金属配線上に絶縁膜を形成する工程と

を具備することを特徴とする半導体装置の製造方法。

【請求項 1 1】

半導体基板に第 1 導電型の不純物を導入する工程と、

メモリセル領域にトンネル酸化膜、フローティングゲートを形成する工程と、

周辺回路領域に高耐圧用トランジスタの第 1 のゲート絶縁膜を形成する工程と

、  
前記第 1 のゲート絶縁膜よりも膜厚が薄い低電圧トランジスタ用の第 2 のゲート絶縁膜を形成する工程と、

メモリセル用のインターポリ絶縁膜を形成する工程と、

コントロールゲート電極及びゲート電極となる導電材料を積層し、前記コントロールゲート電極、インターポリ絶縁膜、及びフローティングゲートを順次エッチングにより選択的にパターニングする工程と、

周辺回路領域のゲート電極を選択的にパターニングする工程と、

メモリセル領域、周辺回路の第 1 MOS トランジスタ領域の半導体基板に第 2 導電型の不純物を導入する工程と、

第 1 の側壁材を堆積する工程と、

第 1 の側壁材を異方性エッチングにより選択的にエッチングして前記ゲート電極の側面に第 1 の側壁材を側壁残しする工程と、

半導体基板の第 2 MOS トランジスタ領域に第 1 導電型の不純物を導入する工程と、

半導体基板の第 1 MOS トランジスタ領域に前記第 2 導電型不純物拡散層よりも高濃度の不純物を導入する工程と、

第 2 の側壁材及び第 2 の側壁材とは異なる第 3 の側壁材を堆積する工程と、

第 3 の側壁材を異方性エッチングにて選択的にエッチングして、前記第 2 の側壁材の側面に第 3 の側壁材を側壁残しする工程と、

半導体基板の第 2 MOS トランジスタ領域に前記第 1 導電型不純物拡散層よりも高濃度の不純物を導入する工程と、

第 3 の側壁を除去する工程と、

基板全面に絶縁膜を堆積する工程と、

前記絶縁膜にコンタクトホールを選択的に形成する工程と、

少なくとも一層の金属配線を形成する工程と、金属配線上に絶縁膜を形成する工程と

を具備することを特徴とする半導体装置の製造方法。

#### 【発明の詳細な説明】

##### 【0001】

#### 【発明の属する技術分野】

本発明は高耐圧トランジスタを備えた半導体装置、特に高集積化された半導体装置及びその製造方法に関するものである。

##### 【0002】

#### 【従来の技術】

従来技術の不揮発性半導体記憶装置の構造を、図 2 1 及び図 2 2 を用いて説明する。図 2 1 は、NOR 型フラッシュメモリのセル部と周辺回路部の構造を示す断面図である。

##### 【0003】

NOR 型フラッシュメモリは、記憶保持能力を持つフローティングゲート 2 0

0 とコントロールゲート 2 0 1 の積層構造からなるスタックトランジスタのメモリセル 2 0 2 のほかに、高耐圧系トランジスタ 2 0 3 と、低電圧トランジスタ 2 0 4 が存在する。

【 0 0 0 4 】

ここで、図 2 1 におけるメモリセル 2 0 2 中にはソース／ドレイン拡散層 2 1 4 にはさまれてゲートがあり、ゲートは半導体基板 2 2 3 上にトンネル酸化膜 2 1 8、その上のフローティングゲート 2 0 0、その上のインターポリ絶縁膜 2 1 9、その上のコントロールゲート 2 0 1 を有している。さらにゲートの周囲には側壁 2 0 9 b が形成されている。

【 0 0 0 5 】

シャロートレンチアイソレーション 2 2 1 によって、メモリセル 2 0 2 は他の素子から分離されている。

【 0 0 0 6 】

高耐圧トランジスタ 2 0 3 は、N マイナス拡散層 2 0 6 にはさまれてゲート電極があり、ゲートは半導体基板 2 2 3 上に厚いゲート酸化膜 2 0 5、その上のゲート電極 2 1 1 を有している。ゲート周囲にはメモリセルと同じ厚さの側壁 2 0 9 が形成されている。さらに N マイナス拡散層 2 0 6 の、ゲートから離間した方向に N プラス拡散層 2 0 7 が形成されている。

【 0 0 0 7 】

低電圧トランジスタ 2 0 4 は、N マイナス拡散層 2 1 6 にはさまれてゲート電極があり、ゲートは半導体基板 2 2 3 上に薄いゲート酸化膜 2 2 0、その上のゲート電極 2 1 2 を有している。ゲート周囲にはメモリセルと同じ厚さの側壁 2 0 9 a が形成されている。さらに N マイナス拡散層 2 1 6 のゲートから離間した方向に N プラス拡散層 2 1 5 が形成されている。

【 0 0 0 8 】

高耐圧トランジスタは書き込み、消去などの動作の際に十数 V の高電圧を発生、転送する為に使用される。高耐圧トランジスタにおいては、ゲート酸化膜 2 0 5 が高電圧で絶縁破壊しないように、たとえば 2 0 nm と厚くなっているだけでなく、ソース・ドレイン拡散層のジャンクション耐圧も十数 V 持つように高く

する必要がある。

【0009】

そのため、低濃度のN又はP(以下N/Pという)マイナス拡散層206が深く拡散されると同時に、高濃度のN/Pプラス拡散層207とN/Pマイナス拡散層206の先端までの距離(以下LDD長という)208が大きくとられており、空乏層が伸びやすくなってジャンクション耐圧を上げている。

【0010】

特に高耐圧PMOSトランジスタにおいては、P型不純物であるホウ素が加熱工程によって半導体基板中に拡散しやすいため、LDD長を決めている側壁厚さがある程度以上に保たないと、高濃度領域の拡散により低濃度領域が無くなってしまう恐れがある。

【0011】

これに対して、高耐圧NMOSトランジスタにおいては、N型不純物であるヒ素はP型不純物であるホウ素に比べて加熱工程における拡散の程度が低いため、高耐圧PMOSに比べて、側壁厚さを薄く形成することが可能である。

【0012】

このためには、いわゆるLDD構造において側壁209の厚さを例えば0.2 $\mu$ mと厚くしている。この側壁の厚さは、耐圧の厳しい高耐圧PMOSトランジスタで制限されている。

【0013】

Pマイナスイオン注入は、ゲート電極を加工後、自己整合的に行い、後に側壁を形成後、Pプラス拡散層を形成するイオン注入を行えば、その距離を大きくとることができる。このとき、低電圧用トランジスタの側壁209aも、メモリセルの側壁209bも、高耐圧トランジスタと同じく0.2 $\mu$ m程度の厚い側壁が形成される。このように各トランジスタの側壁が一律に同じ厚さとなっているのは、製造工程中で同時に各トランジスタに対して、側壁を形成して、工程数を減らすためである。

【0014】

このとき、各トランジスタのコンタクトホール210とこれらに隣接する各ゲ

ート電極201、211、212との距離は、側壁厚さ224と、側壁-コンタクトの余裕225の和となる。この余裕は、コンタクトホールとゲート電極の合わせずれの精度と、それぞれの寸法の精度によって決められる。

【0015】

また、出願人による先願として、特願平11-46728がある。これを、図22を用いて説明する。

【0016】

この先願においては、LDDの側壁を二種類用意し、高耐圧トランジスタ部203には厚い側壁112が用いられ、メモリセル部202と低電圧トランジスタ部204には薄い側壁114が用いられている。

【0017】

ここで、図22におけるメモリセル202中にはソース/ドレイン拡散層214にはさまれてゲートがあり、ゲートは半導体基板223上にトンネル酸化膜218、その上のフローティングゲート200、その上のインターポリ絶縁膜219、その上のコントロールゲート201を有している。さらにゲートの周囲には所定厚さ115である側壁114が形成されている。

【0018】

シャロートレンチアイソレーション221によって、メモリセル202は他の素子から分離されている。

【0019】

高耐圧トランジスタ203は、Nマイナス拡散層206にはさまれてゲートがあり、ゲートは半導体基板223上に厚いゲート酸化膜205、その上のゲート電極211を有している。ゲート周囲にはメモリセルの側壁の所定厚さ115よりも厚い所定厚さ120の第1の側壁112とその上部に形成された第2の側壁111とが形成されている。さらにNマイナス拡散層206の、ゲートから離間した方向にNプラス拡散層207が形成されている。

【0020】

低電圧トランジスタ204は、Nマイナス拡散層113にはさまれてゲート電極があり、ゲートは半導体基板223上に薄いゲート酸化膜220、その上のゲ



ート電極 2 1 2 を有している。ゲート周囲にはメモリセルと同じ厚さの側壁 1 1 4 が形成されている。さらに N マイナス拡散層 1 1 3 のゲートから離間した方向に N プラス拡散層 2 1 5 が形成されている。

#### 【 0 0 2 1 】

この技術を用いれば、高耐圧トランジスタでは必要なジャンクション耐圧が得られるような十分な LDD 長 1 1 6 が確保でき、一方メモリセル部及び低電圧トランジスタでは、従来よりも薄い側壁 1 1 4 を用いることができ、低電圧トランジスタでは LDD 長 1 1 7 は高耐圧トランジスタの LDD 長 1 1 6 よりも短くなっているため、ゲートとコンタクトホールとの距離 1 1 9 を小さくすることができる。

#### 【 0 0 2 2 】

ここで、距離 1 1 9 は側壁厚さ 1 1 5 と合わせ余裕 2 2 5 の和である。高耐圧トランジスタではゲートとコンタクトホールとの距離 1 1 8 は高耐圧トランジスタの側壁厚さ 1 2 0 と合わせ余裕 2 2 5 の和であって、メモリセルや低電圧トランジスタにおけるゲートとコンタクトホールとの距離 1 1 9 よりも大きくなっている。

#### 【 0 0 2 3 】

また、特開平 8 - 2 3 0 3 1 号公報の図 1 などには、高耐圧 MOS トランジスタの高耐圧化と、低耐圧 MOS トランジスタの高駆動能力化を図るために、ゲート側壁を二重にして、高耐圧 MOS トランジスタ側を二重ゲート側壁の外側の側壁の方に濃い拡散層を形成し、低耐圧 MOS トランジスタ側を二重ゲート側壁の内側の側壁の方に濃い拡散層を形成した半導体集積回路が記載されている。

#### 【 0 0 2 4 】

【発明が解決しようとする課題】

図 2 1 に示された従来の半導体装置の製造方法では、以下の課題が生じる。

#### 【 0 0 2 5 】

コンタクトホール 2 1 0 がゲート電極に合わせずれで接近するか、それぞれのサイズが大きくなることでコンタクトホールが側壁材に乗り上げると、側壁材がエッチングされにくい材料である場合には、コンタクトホールの底面の面積が小

さくなるため、コンタクト抵抗が大きくなる。

【 0 0 2 6 】

一方、側壁にコンタクトホールが接触しないように十分な距離、例えば  $0.2 \mu\text{m}$  離した場合は、コンタクトホールとゲート電極の距離は、 $0.4 \mu\text{m}$  と大きな値になり、結果としてチップ面積の増大につながる。

【 0 0 2 7 】

また、メモリセル部 2 0 2 については、フローティングゲート 2 0 0 にオーバーラップする部分までソース/ドレイン領域として N プラス拡散層 2 1 4 が形成されているため、LDD 側壁構造 2 0 9 b は本来なら必要ない。ただ、製造工程中の周辺トランジスタの LDD を形成する際に、メモリセル部にも同時に側壁が形成されてしまうためにメモリセル部にも側壁が存在している。

【 0 0 2 8 】

しかし、メモリセルが微細化されて、メモリセル部のトランジスタのゲート間距離に相当するワード線間隔が狭くなってくると、厚い側壁 2 0 9 b によってコンタクトホールの底面の面積が非常に小さく、あるいは全く無くなってしまう為、ワード線間にコンタクトが落とせなくなってしまう。

【 0 0 2 9 】

そのため、ワード線間にコンタクトを設けるためには、側壁が厚い為に、セルサイズを大きくせざるを得なくなってしまう。これは、微細化を妨げる非常に大きな問題である。

【 0 0 3 0 】

また、周辺回路の NMOS 低電圧トランジスタにも、側壁 2 0 9 a が厚く付いてしまうことによって、ソース/ドレイン拡散層の N プラス拡散層端 2 1 5 から N マイナス拡散層端 2 1 6 の N マイナスだけの部分 2 1 7 が長くなるので、寄生抵抗が大きくなり、トランジスタの電流駆動能力が低下する問題がある。

【 0 0 3 1 】

低電圧トランジスタにおいては、高いジャンクション耐圧は不要であるので、回路パターンが大きくなった上、性能が劣化するということで、副作用だけであった。

【 0 0 3 2 】

上記の従来技術の課題を解決しているのが上記の先願であるが、この先願においては、高耐圧トランジスタのみ厚い側壁を用いる為、フォトリソグラフィの工程を1～2工程追加して側壁を作り分けている。このため、従来技術に比べて側壁形成工程が長く、複雑化しており、製造工程数が増加してしまう問題があった。

【 0 0 3 3 】

本発明の目的は以上のような従来技術の課題を解決することにある。

【 0 0 3 4 】

特に、本発明の目的は、高耐圧PMOSトランジスタのジャンクション耐圧を維持し、かつNMOSトランジスタやメモリセルトランジスタにおけるコンタクトとゲートとの距離を小さくしてパターンサイズの縮小を図ることにある。

【 0 0 3 5 】

また、本発明の別の目的は高耐圧PMOSトランジスタの短チャネル効果を抑制でき、チャネル長を長くすることである。

【 0 0 3 6 】

また、本発明の別の目的は他の二重側壁プロセスに比較して、リソグラフィ工程の追加を抑えて二重側壁を設けた半導体装置を製造できることである。

【 0 0 3 7 】

【課題を解決するための手段】

上記目的を達成するために、本発明は、半導体基板上に形成された第1ゲートと、この第1ゲート周囲の前記半導体基板中に形成されたN型低濃度拡散層と、このN型低濃度拡散層の周囲の前記半導体基板中に形成されたN型高濃度拡散層と、この第1ゲート周囲に形成された第1ゲート側壁とを有するN型トランジスタと、前記半導体基板上に形成された第2ゲートと、この第2ゲート周囲の前記半導体基板中に形成されたP型低濃度拡散層と、このP型低濃度拡散層の周囲の前記半導体基板中に形成されたP型高濃度拡散層と、この第2ゲート周囲に形成され、前記N型トランジスタの第1ゲート側壁と同じ厚さを有する第2ゲート側壁とを有するP型トランジスタとを備え、前記第2ゲート及び前記第2ゲート側

壁下のP型低濃度拡散層は前記第2ゲート下方向へ延出している長さが前記第1ゲート及び前記第1ゲート側壁下のN型低濃度拡散層が前記第1ゲート下方向へ延出している長さより長く形成されている半導体装置である。

## 【0038】

さらに本発明の別の特徴は半導体基板上に形成された第1ゲートと、この第1ゲート周囲の前記半導体基板中に形成された第1導電型低濃度拡散層と、この第1導電型低濃度拡散層の周囲の前記半導体基板中に形成された第1導電型高濃度拡散層と、この第1ゲート周囲に形成された第1ゲート側壁とを有する第1導電型トランジスタと、前記半導体基板上に形成された第2ゲートと、この第2ゲート周囲の前記半導体基板中に形成され、前記第2ゲート下方向へ延出している長さが前記第1ゲート及び前記第1ゲート側壁下の第1導電型低濃度拡散層が前記第1ゲート下方向へ延出している長さより長く形成されている第2導電型低濃度拡散層と、この第2導電型低濃度拡散層の周囲の前記半導体基板中に形成された第2導電型高濃度拡散層と、この第2ゲート周囲に形成された第2ゲート側壁とを有する第2導電型トランジスタと、前記半導体基板上に形成され、前記半導体基板上に形成された第3ゲートと、この第3ゲート周囲の前記半導体基板中に形成された第1導電型高濃度拡散層と、この第3ゲート周囲に形成された第3ゲート側壁とを有するメモリセルトランジスタとを備え、前記第1乃至第3ゲート側壁はそれぞれの厚さが等しい半導体装置である。

## 【0039】

さらに本発明の別の特徴は、電荷蓄積層を有する不揮発性メモリ素子と、LDD側壁を有するN型MOSトランジスタと、LDD側壁を有するP型MOSトランジスタを備えた半導体装置において、前記N型MOSトランジスタは前記LDD側壁下に形成されたLDD拡散層と、前記LDD側壁の内側に一部オーバーラップされて形成され、前記LDD拡散層よりも濃度の濃い拡散層とを有し、前記P型MOSトランジスタは前記LDD側壁下に形成されたLDD拡散層と、前記LDD側壁の外側に形成され、前記LDD拡散層よりも濃度の濃い拡散層とを有している半導体装置である。

## 【0040】

さらに本発明の別の特徴は、半導体基板上に高耐圧PMOSトランジスタのゲート及び高耐圧NMOSトランジスタのゲートを形成する工程と、前記高耐圧NMOSトランジスタのゲートをマスクとして前記半導体基板中にNマイナス拡散層を形成する工程と、前記高耐圧PMOSトランジスタのゲートをマスクとして前記半導体基板中にPマイナス拡散層を形成する工程と、前記高耐圧PMOSトランジスタ及び高耐圧NMOSトランジスタの各ゲートに第1側壁を形成する工程と、前記高耐圧NMOSトランジスタの第1側壁をマスクとしてNプラス拡散層を前記半導体基板中に形成する工程と、前記高耐圧PMOSトランジスタ及び前記高耐圧NMOSトランジスタの第1側壁に第2の側壁を形成する工程と、前記高耐圧PMOSトランジスタの第2側壁をマスクとしてPプラス拡散層を前記半導体基板中に形成する工程とを有する半導体装置の製造方法である。

## 【 0 0 4 1 】

さらに本発明の別の特徴は、半導体基板上に高耐圧PMOSトランジスタのゲート及び高耐圧NMOSトランジスタのゲートを形成する工程と、前記高耐圧NMOSトランジスタのゲートをマスクとして前記半導体基板中にNマイナス拡散層を形成する工程と、前記高耐圧PMOSトランジスタ及び高耐圧NMOSトランジスタの各ゲートに第1側壁を形成する工程と、前記高耐圧NMOSトランジスタの第1側壁をマスクとしてNプラス拡散層を前記半導体基板中に形成する工程と、前記高耐圧PMOSトランジスタの第1の側壁をマスクとして前記半導体基板中にPマイナス拡散層を形成する工程と、前記高耐圧PMOSトランジスタ及び前記高耐圧NMOSトランジスタの第1側壁に第2の側壁を形成する工程と、前記高耐圧PMOSトランジスタの第2側壁をマスクとしてPプラス拡散層を前記半導体基板中に形成する工程とを有する半導体装置の製造方法である。

## 【 0 0 4 2 】

さらに本発明の別の特徴は、半導体基板に素子分離領域を形成する工程と、半導体基板上に高耐圧トランジスタ用の第1のゲート絶縁膜を形成する工程と、前記第1のゲート絶縁膜よりも膜厚が薄い低電圧トランジスタ用の第2のゲート絶縁膜を形成する工程と、ゲート電極となる導電材料を積層し、順次エッチングにより選択的にパターニングする工程と、半導体基板に第2導電型の不純物を導入

する工程と、第1の側壁材を堆積する工程と、第1の側壁材を異方性エッチングにより選択的にエッチングして前記ゲート電極の側面に第1の側壁材を側壁残しする工程と、半導体基板の第1MOSトランジスタ領域に前記第2導電型不純物拡散層よりも高濃度の不純物を導入する工程と、第2の側壁材及び第2の側壁材とは異なる第3の側壁材を堆積する工程と、第3の側壁材を異方性エッチングにて選択的にエッチングして、前記第2の側壁材の側面に第3の側壁材を側壁残しする工程と、半導体基板の第2MOSトランジスタ領域に前記第3の側壁材をマスクとして第1導電型不純物を導入する工程と、第3の側壁を除去する工程と、前記半導体基板全面に絶縁膜を堆積する工程と、前記絶縁膜にコンタクトホールを選択的に形成する工程とを具備する半導体装置の製造方法である。

## 【 0 0 4 3 】

さらに本発明の別の特徴は、半導体基板に素子分離領域を形成する工程と、メモリセル用のトンネル酸化膜、フローティングゲート電極及びインターポリ絶縁膜とを形成する工程と、半導体基板上に高耐圧トランジスタ用の第1のゲート絶縁膜を形成する工程と、前記第1のゲート絶縁膜よりも膜厚が薄い低電圧トランジスタ用の第2のゲート絶縁膜を形成する工程と、コントロールゲート電極及びゲート電極となる導電材料を積層し、前記のコントロールゲート電極とインターポリ絶縁膜とフローティングゲートを順次エッチングにより選択的にパターニングする工程と、周辺回路領域のゲート電極を選択的にパターニングする工程と、メモリセル領域、周辺回路領域の半導体基板に第2導電型の不純物を導入する工程と、第1の側壁材を堆積する工程と、第1の側壁材を異方性エッチングにより選択的にエッチングして前記ゲート電極の側面に第1の側壁材を側壁残しする工程と、半導体基板の第1MOSトランジスタ領域に前記第2導電型不純物拡散層よりも高濃度の不純物を導入する工程と、第2の側壁材及び第2の側壁材とは異なる第3の側壁材を堆積する工程と、第3の側壁材を異方性エッチングにて選択的にエッチングして、前記第2の側壁材の側面に第3の側壁材を側壁残しする工程と、半導体基板の第2MOSトランジスタ領域に前記第3の側壁材をマスクとして第1導電型不純物を導入する工程と、第3の側壁を除去する工程と、前記半導体基板全面に絶縁膜を堆積する工程と、前記絶縁膜にコンタクトホールを選

択的に形成する工程と、金属配線を形成する工程と、金属配線上に絶縁膜を形成する工程とを具備する半導体装置の製造方法である。

## 【 0 0 4 4 】

さらに本発明の別の特徴は、半導体基板に素子分離領域を形成する工程と、前記半導体基板上に高耐圧トランジスタ用の第 1 のゲート絶縁膜を形成する工程と、前記第 1 のゲート絶縁膜よりも膜厚が薄い低電圧トランジスタ用の第 2 のゲート絶縁膜を形成する工程と、ゲート電極となる導電材料を積層し、エッチングにより選択的にパターニングする工程と、第 1 MOS トランジスタ領域の半導体基板に第 2 導電型の不純物を導入する工程と、第 1 の側壁材を堆積する工程と、第 1 の側壁材を異方性エッチングにより選択的にエッチングして前記ゲート電極の側面に第 1 の側壁材を側壁残しする工程と、半導体基板の第 2 MOS トランジスタ領域に前記第 1 の側壁材をマスクとして第 1 導電型の不純物を導入する工程と、半導体基板の第 1 MOS トランジスタ領域に前記第 2 導電型不純物拡散層よりも高濃度の不純物を導入する工程と、第 2 の側壁材及び第 2 の側壁材とは異なる第 3 の側壁材を堆積する工程と、第 3 の側壁材を異方性エッチングにて選択的にエッチングして、前記第 2 の側壁材の側面に第 3 の側壁材を側壁残しする工程と、半導体基板の第 2 MOS トランジスタ領域に前記第 1 導電型不純物拡散層よりも高濃度の第 1 導電型不純物を導入する工程と、第 3 の側壁を除去する工程と、基板全面に絶縁膜を堆積する工程と、前記絶縁膜にコンタクトホールを選択的に形成する工程とを具備する半導体装置の製造方法である。

## 【 0 0 4 5 】

さらに本発明の別の特徴は、半導体基板に素子分離領域、メモリセル用のトンネル酸化膜、フローティングゲート電極及びインターポリ絶縁膜とを形成する工程と、半導体基板上に高耐圧トランジスタ用の第 1 のゲート絶縁膜を形成する工程と、前記第 1 のゲート絶縁膜よりも膜厚が薄い低電圧トランジスタ用の第 2 のゲート絶縁膜を形成する工程と、コントロールゲート電極及びゲート電極となる導電材料を積層し、前記のコントロールゲート電極とインターポリ絶縁膜とフローティングゲートを順次エッチングにより選択的にパターニングする工程と、周辺回路領域のゲート電極を選択的にパターニングする工程と、メモリセル領域、

周辺回路の第1MOSトランジスタ領域の半導体基板に第2導電型の不純物を導入する工程と、第1の側壁材を堆積する工程と、第1の側壁材を異方性エッチングにより選択的にエッチングして前記ゲート電極の側面に第1の側壁材を側壁残しする工程と、半導体基板の第2MOSトランジスタ領域に第1導電型の不純物を導入する工程と、半導体基板の第1MOSトランジスタ領域に前記第2導電型不純物拡散層よりも高濃度の不純物を導入する工程と、第2の側壁材及び第2の側壁材とは異なる第3の側壁材を堆積する工程と、第3の側壁材を異方性エッチングにて選択的にエッチングして、前記第2の側壁材の側面に第3の側壁材を側壁残しする工程と、半導体基板の第2MOSトランジスタ領域に前記第1導電型不純物拡散層よりも高濃度の不純物を導入する工程と、第3の側壁を除去する工程と、基板全面に絶縁膜を堆積する工程と、前記絶縁膜にコンタクトホールを選択的に形成する工程と、少なくとも一層の金属配線を形成する工程と、金属配線上に絶縁膜を形成する工程とを具備する半導体装置の製造方法である。

## 【0046】

さらに本発明の別の特徴は、半導体基板に第1導電型の不純物を導入する工程と、メモリセル領域にトンネル酸化膜、フローティングゲートを形成する工程と、周辺回路領域に高耐圧用トランジスタの第1のゲート絶縁膜を形成する工程と、前記第1のゲート絶縁膜よりも膜厚が薄い低電圧トランジスタ用の第2のゲート絶縁膜を形成する工程と、メモリセル用のインターポリ絶縁膜を形成する工程と、コントロールゲート電極及びゲート電極となる導電材料を積層し、前記コントロールゲート電極、インターポリ絶縁膜、及びフローティングゲートを順次エッチングにより選択的にパターニングする工程と、周辺回路領域のゲート電極を選択的にパターニングする工程と、メモリセル領域、周辺回路領域の半導体基板中に第2導電型の不純物を導入する工程と、第1の側壁材を堆積する工程と、第1の側壁材を異方性エッチングにより選択的にエッチングして前記ゲート電極の側面に第1の側壁材を側壁残しする工程と、半導体基板の第1MOSトランジスタ領域に前記第2導電型不純物拡散層よりも高濃度の不純物を導入する工程と、第2の側壁材及び第2の側壁材とは異なる第3の側壁材を堆積する工程と、第3の側壁材を異方性エッチングにて選択的にエッチングして、前記第2の側壁



材の側面に第3の側壁材を側壁残しする工程と、半導体基板の第2MOSトランジスタ領域に前記第3の側壁材をマスクとして第1導電型不純物を導入する工程と、第3の側壁を除去する工程と、前記半導体基板全面に絶縁膜を堆積する工程と、前記絶縁膜にコンタクトホールを選択的に形成する工程と、金属配線を形成する工程と、金属配線上に絶縁膜を形成する工程とを具備する半導体装置の製造方法である。

## 【 0 0 4 7 】

さらに本発明の別の特徴は、半導体基板に第1導電型の不純物を導入する工程と、メモリセル領域にトンネル酸化膜、フローティングゲートを形成する工程と、周辺回路領域に高耐圧用トランジスタの第1のゲート絶縁膜を形成する工程と、前記第1のゲート絶縁膜よりも膜厚が薄い低電圧トランジスタ用の第2のゲート絶縁膜を形成する工程と、メモリセル用のインターポリ絶縁膜を形成する工程と、コントロールゲート電極及びゲート電極となる導電材料を積層し、前記コントロールゲート電極、インターポリ絶縁膜、及びフローティングゲートを順次エッチングにより選択的にパターニングする工程と、周辺回路領域のゲート電極を選択的にパターニングする工程と、メモリセル領域、周辺回路の第1MOSトランジスタ領域の半導体基板に第2導電型の不純物を導入する工程と、第1の側壁材を堆積する工程と、第1の側壁材を異方性エッチングにより選択的にエッチングして前記ゲート電極の側面に第1の側壁材を側壁残しする工程と、半導体基板の第2MOSトランジスタ領域に第1導電型の不純物を導入する工程と、半導体基板の第1MOSトランジスタ領域に前記第2導電型不純物拡散層よりも高濃度の不純物を導入する工程と、第2の側壁材及び第2の側壁材とは異なる第3の側壁材を堆積する工程と、第3の側壁材を異方性エッチングにて選択的にエッチングして、前記第2の側壁材の側面に第3の側壁材を側壁残しする工程と、半導体基板の第2MOSトランジスタ領域に前記第1導電型不純物拡散層よりも高濃度の不純物を導入する工程と、第3の側壁を除去する工程と、基板全面に絶縁膜を堆積する工程と、前記絶縁膜にコンタクトホールを選択的に形成する工程と、少なくとも一層の金属配線を形成する工程と、金属配線上に絶縁膜を形成する工程とを具備する半導体装置の製造方法である。

## 【 0 0 4 8 】

## 【 発 明 の 実 施 の 形 態 】

次に、図面を参照して、本発明の実施の形態を説明する。以下の図面の記載において、同一又は類似の部分には、同一又は類似の符号を付している。ただし、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は、現実のものとは異なる。従って、具体的な厚みや寸法は以下の説明を参酌して判断すべきものである。また、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれている。

## 【 0 0 4 9 】

## ( 第 1 の 実 施 の 形 態 )

本発明による第1の実施の形態を、図1に示した断面図を用いて説明する。図1はNOR型フラッシュメモリに適応した例である。図1では、半導体基板1中にメモリセルトランジスタ2と、高耐圧PMOSトランジスタ3と、高耐圧NMOSトランジスタ4とにおいては、薄い第1の側壁として例えば厚さ80nmのシリコンナイトライドが形成されている。なお、以下の説明において、半導体基板中に形成されるとあっても、実際には半導体基板中に形成されたウエル中に形成されることをも含まれる。

## 【 0 0 5 0 】

ここで、図1におけるメモリセルトランジスタ2中にはソース／ドレイン拡散層であるNプラス拡散層5にはさまれてゲート9があり、ゲート9は半導体基板1上にトンネル酸化膜31、その上のフローティングゲート16、その上のインターポリ絶縁膜32、その上のコントロールゲート17を有している。さらにゲートの周囲にはシリコン酸化膜29、第1側壁7及び第2側壁82が形成されている。

## 【 0 0 5 1 】

シャロートレンチアイソレーション30によって、メモリセルトランジスタ2は他の素子から分離されている。

## 【 0 0 5 2 】

高耐圧PMOSトランジスタ3は、Pマイナス拡散層35にはさまれてゲート

があり、ゲートは半導体基板 1 上に厚いゲート酸化膜 3 3、その上のゲート電極 1 3 を有している。ゲート周囲にはメモリセルの側壁の所定厚さと等しい厚さとなっているシリコン酸化膜 2 9、第 1 側壁 1 0、第 2 側壁 8 2 とが形成されている。さらに P マイナス拡散層 1 1 の上方で、ゲートから離間した方向に P プラス拡散層 1 1 が形成されている。

## 【 0 0 5 3 】

高耐圧 NMOS トランジスタは、N マイナス拡散層 3 6 にはさまれてゲート電極があり、ゲートは半導体基板 1 上に厚いゲート酸化膜 3 4、その上のゲート電極 1 8 を有している。ゲート周囲にはメモリセルと同じ厚さのシリコン酸化膜 2 9、第 1 側壁 4 7、第 2 側壁 8 2 とが形成されている。さらに N マイナス拡散層 3 6 のゲートから離間した方向に N プラス拡散層 6 が形成されている。

## 【 0 0 5 4 】

高耐圧 NMOS トランジスタ 4 の N プラス領域 6 は、シリコン酸化膜 2 9 及び第 1 側壁 4 7 をマスクとしてそれぞれインプラされたものであり、シリコン酸化膜 2 9 及び第 1 側壁 4 7 の外側から熱拡散した分だけシリコン酸化膜 2 9 及び第 1 側壁 4 7 の下の半導体基板 1 内まで形成されている。

## 【 0 0 5 5 】

メモリセルトランジスタ 2 の N プラス領域 5 は、ゲート 9 をマスクとしてインプラされたものであり、ゲートエッジから熱拡散した分だけ内側まで形成されている。

## 【 0 0 5 6 】

高耐圧 PMOS トランジスタ 3 においては、図 1 に図示されているシリコン酸化膜 2 9、第 1 側壁 1 0 及び第 2 側壁 8 2 はメモリセルトランジスタ 2、高耐圧 NMOS トランジスタ 4 と同じ構造、厚さであるが、P プラス拡散層領域 1 1 は製造過程に現れる第 2 側壁 8 2、及び製造過程に現れる第 3 の側壁(図示せず)越しにインプラされたものであり、NMOS トランジスタ 4 の N プラス領域 6 よりゲート 1 3 に対して外側に形成されている。

## 【 0 0 5 7 】

高耐圧 PMOS トランジスタ 3 においては、薄い第 1 側壁 1 0 よりも外側に P

プラス拡散層 1 1 は形成されている。すなわち、高耐圧 NMOS トランジスタ 4 よりも、LDD 長 1 4 が長くなっている。この第 1 の側壁の厚さは約 8 0 n m であり、シリコン酸化膜 2 9 の厚さ約 2 0 n m と、第 2 側壁の厚さ約 4 0 n m を含めて約 1 4 0 n m であるので、図 2 1 に示された従来技術の側壁膜厚 2 0 0 n m に比べて薄くなっている。

## 【 0 0 5 8 】

そのため、コンタクトホール 1 5 とゲート電極 1 3 の距離も従来技術より小さくできるので、周辺回路の低電圧 NMOS トランジスタとメモリセル 2 においては、パターン面積の縮小が可能である。

## 【 0 0 5 9 】

すなわち、従来例に比べて同じ高耐圧でありながら、その面積を 1 0 数パーセント縮小することが可能であり、高集積化が図られる。さらに側壁厚さを小さくしたので、たとえ拡散層全体の体積が小さくなくても、半導体基板表面への露出面積が小さくなることはなく、拡散層と配線とのコンタクトをとるべき拡散層面積を維持することができる。

## 【 0 0 6 0 】

また、高耐圧 NMOS トランジスタ 4 においては、N マイナスだけの領域(すなわち LDD 長)の部分が短くなるので、寄生抵抗も小さくなる。

## 【 0 0 6 1 】

このように高耐圧トランジスタの耐圧として例えば 1 1 V の高電圧に耐えるトランジスタが形成できる。

## 【 0 0 6 2 】

ここで、LDD 側壁とは、高耐圧 PMOS トランジスタ 3 においては、LDD 領域である P マイナス拡散層 3 5 を形成した後に、P プラス拡散層 1 1 を形成するためにマスクとして使用されたシリコン酸化膜 2 9、第 1 側壁 1 0、及び第 2 側壁 8 2 を意味する。また、高耐圧 NMOS トランジスタ 4 においては、LDD 領域である N マイナス拡散層 3 6 を形成した後に、N プラス拡散層 6 を形成するためにマスクとして使用されたシリコン酸化膜 2 9 及び第 1 側壁 4 7 を意味する。

## 【 0 0 6 3 】

従来は特にメモリセル領域において、トランジスタ間の距離が他の領域のトランジスタ間距離に比べて小さく、コンタクトを設けるスペースに余裕が無かった。その点を、本実施の形態では、トランジスタの側壁を薄膜化することにより、拡散層上のコンタクトを設けるスペースをより大きくすることが可能となった。

## 【 0 0 6 4 】

ここで、メモリセル領域と周辺トランジスタ領域の配置の断面図が図 2 に示される。ここでは P 型半導体基板 1 中にメモリセル領域 5 0 と周辺トランジスタ領域 5 1 それぞれに対応して N ウエル 5 2、5 3 が設けられている。

## 【 0 0 6 5 】

メモリセル領域 5 0 の N ウエル 5 2 中には P ウエル 4 9 が設けされている。この P ウエル 4 9 中に複数個のメモリセルが構成されている（図 2 では複数個のメモリトランジスタ 5 4 を図示）。

## 【 0 0 6 6 】

周辺トランジスタ領域 5 1 中には高耐圧トランジスタ群 5 5 と、低電圧トランジスタ群 5 6 とが設けられている。高耐圧トランジスタ群 5 5 は P ウエル 5 7 中に設けられた複数個の NMOS トランジスタ（ここではゲートのみを図示）5 8 と、N ウエル 5 3 中に設けられた複数個の PMOS トランジスタ 5 9（ここではゲートのみを図示）を有している。

## 【 0 0 6 7 】

低電圧トランジスタ群 5 6 は P ウエル 6 0 中に設けられた複数個の NMOS トランジスタ 6 1 と、N ウエル 5 3 中に設けられて複数個の PMOS トランジスタ 6 2 とを有している。

## 【 0 0 6 8 】

低電圧トランジスタの断面構造は図 3 に示される。ここで、低電圧 PMOS トランジスタ 6 2 及び低電圧 NMOS トランジスタ 6 1 は、高耐圧トランジスタと同一のゲート構造となっている。低電圧 PMOS トランジスタ 6 2 では、P マイナス拡散層 6 3 が側壁 1 0 より内側に形成されていて、P プラス拡散層 6 4 は側壁 1 0 の外側に形成されている。低電圧 PMOS トランジスタ 6 2 のゲート酸化

膜 6 7 及び低電圧 NMOS トランジスタ 6 1 のゲート酸化膜 6 8 は高耐圧 PMOS トランジスタのゲート酸化膜 3 3 及び高耐圧 NMOS トランジスタのゲート酸化膜 3 4 の厚さよりも薄く形成されている。

【 0 0 6 9 】

また、高耐圧 PMOS トランジスタ 3 のゲート 1 3 及び、シリコン酸化膜 2 9 、第側壁 1 0 及び第 2 側壁 8 2 下の P マイナス拡散層 1 4 はゲート 1 3 下方向へ延出している長さが高耐圧 NMOS トランジスタ 4 のゲート 1 8 、シリコン酸化膜 2 9 、第 1 側壁 2 9 及び第 2 側壁 8 2 下の N マイナス拡散層 3 6 がゲート 1 8 下方向へ延出している長さより長く形成されている

ここで、メモリセルのトランジスタのゲート酸化膜は低電圧トランジスタのゲート酸化膜厚と同程度の厚さとなっている。

【 0 0 7 0 】

高耐圧 PMOS トランジスタにおいては、P 型不純物であるボロンイオンの拡散率が N 型不純物である砒素イオンに比べて高いので、側壁を薄くした場合には、P プラスイオンが LDD 領域中に深く伸びてしまい、LDD 長が短くなり、必要な耐圧を得ることが困難であった。本実施の形態では、第 3 の側壁をマスクに用いて P プラス拡散層を形成することで、耐圧維持に必要な LDD 長を確保している。さらに第 3 の側壁部分をもコンタクトホールとして使用することで、コンタクトホールをゲートに近づけて形成できるので、高集積化が図られる。

【 0 0 7 1 】

次に、図 1 に示した第 1 の実施の形態における半導体装置の製造方法を図 4 ～ 図 9 に示す。

【 0 0 7 2 】

まず、図 4 (A) に示されるように半導体基板 1 上に素子分離領域 3 0 とメモリセル 2 のトンネル酸化膜 3 1 、フローティングゲート 1 6 、インターポリ絶縁膜 3 2 及びコントロールゲート 1 7 と高耐圧 PMOS トランジスタ 3 のゲート酸化膜 3 3 と、高耐圧 NMOS トランジスタ 4 のゲート酸化膜 3 4 と、高耐圧 PMOS トランジスタ 3 のゲート電極 1 3 、高耐圧 NMOS トランジスタ 4 のゲート電極 1 4 を形成した後、それぞれのゲート電極に対して自己整合的に所望のイオ

ン注入、拡散を行い高耐圧PMOSトランジスタ3のソース/ドレイン(Pマイナス領域)35及び高耐圧NMOSトランジスタ4のソース/ドレイン(Nマイナス領域)36を形成する。

## 【0073】

一方、メモリセルトランジスタ2ではメモリセルのコントロールゲート電極17のソース/ドレイン領域にはNプラス拡散層5が形成されている。これらは、各イオン注入時に、フォトリソットによってインプラされる領域を区別している。

## 【0074】

さらに同時に図4(B)に示されるように低電圧PMOSトランジスタ37のゲート酸化膜39と、低電圧NMOSトランジスタ38のゲート酸化膜40と、低電圧PMOSトランジスタ37のゲート電極41と、低電圧NMOSトランジスタ38のゲート42を形成した後、それぞれのゲート電極に対して自己整合的に所望のイオン注入、拡散を行い低電圧PMOSトランジスタ37のソース/ドレイン(Pマイナス領域)43及び低電圧NMOSトランジスタ38のソース/ドレイン(Nマイナス領域)44を形成する。

## 【0075】

この低電圧PMOSトランジスタ37のソース/ドレイン(Pマイナス領域)43は高耐圧PMOSトランジスタ3のソース/ドレイン(Pマイナス領域)35と同時にイオン注入がなされている。さらに低電圧NMOSトランジスタ38のソース/ドレイン(Nマイナス領域)44は高耐圧NMOSトランジスタ4のソース/ドレイン(Nマイナス領域)36と同時にイオン注入がなされている。

## 【0076】

ここで、低電圧PMOSトランジスタ37及び低電圧NMOSトランジスタ38の酸化膜39、40は高耐圧PMOSトランジスタ3及び高耐圧NMOSトランジスタ4の酸化膜33、34よりも膜厚が薄く形成されている。

## 【0077】

各トランジスタのゲート電極の表面及びソース/ドレイン領域には後酸化膜45が膜厚約10nm程度で形成されている。

## 【0078】

次に、図5（A）及び図5（B）に示されるように後酸化膜45上に側壁加工のストッパーとして例えばシリコン酸化膜29を約10～20nm程度の厚さで堆積した後、第1側壁として形成するために例えばシリコンナイトライド膜46を約80nmの厚さで堆積する。

## 【0079】

次に、図6（A）及び図6（B）に示されるようにシリコンナイトライド膜46を異方性エッチングで選択的にエッチングして各ゲート電極の側面に側壁残しを行い、第1側壁47を形成する。

## 【0080】

次に、図7（A）に示されるように、高耐圧NMOSトランジスタ4に、第1側壁47越しにNプラスのインプラを行い、Nプラス拡散層6を形成する。このとき、PMOSトランジスタ部3及びメモリセル部2にはインプラが打たれないようにフォトレジストによってカバーする。

## 【0081】

この際、同時に図7（B）に示されるように、低電圧NMOSトランジスタ部38に、第1側壁47越しにNプラスのインプラを行い、Nプラス拡散層6を形成する。このとき、低電圧PMOSトランジスタ部37にはインプラが打たれないようにフォトレジストによってカバーする。すなわち、低電圧NMOSトランジスタ部38のNプラス拡散層6は高耐圧NMOSトランジスタ4のNプラス拡散層6と同時にイオン注入がなされる。

## 【0082】

次に、全面にシリコンナイトライド膜82を例えば約40nm堆積する。この膜は、後のコンタクト加工時のストッパーになると同時に、後で行うPプラスインプラ際の、第2側壁となる。

## 【0083】

さらにその上の全面に、第3側壁となるシリコン酸化膜12を約50nm程度の厚さで堆積する。

## 【0084】



次に、図8（A）及び図8（B）に示されるように、シリコンナイトライド膜82と選択比のとれるような異方性エッチングを全面に対して行い、シリコン酸化膜12の側壁残しを行い、第3側壁19を形成する。このとき、シリコンナイトライド膜82と側壁残しされたシリコン酸化膜12との厚さの和が、高耐圧PMOSトランジスタ3のジャンクション耐圧を十分持たせるようなLDD長を形成できる厚さになるようにする。

## 【0085】

次に、この側壁残しされたシリコン酸化膜12をマスクとして、Pプラスの拡散層を形成するイオン注入を行い、Pプラス拡散層領域11を形成する。このとき、メモリトランジスタ2、高耐圧NMOSトランジスタ4、及び低電圧NMOSトランジスタ38にはインプラが打たれないようにフォトレジストによってカバーする。

## 【0086】

次に図9（A）及び図9（B）に示されるように、シリコンナイトライド膜82上のシリコン酸化膜である第3側壁19を、例えば弗化アンモニウムでエッチングして除去する。これにより、ゲート側壁の形状は、メモリセル、高耐圧NMOSトランジスタ、高耐圧PMOSトランジスタ、低電圧NMOSトランジスタ、低電圧PMOSトランジスタともに、シリコンナイトライド膜の同一膜厚の側壁となる。

## 【0087】

その後、全面にCVD等により絶縁膜を被覆した後、コンタクトホールを開孔し、そこに導電膜を埋め込み、所望の電極を接続して図1に示したNOR型フラッシュメモリを得る。

## 【0088】

第3側壁は、除去しても良いし、残っていてもコンタクトエッチングの際に選択比が取れない物質であれば、コンタクトエッチングの際に部分的に除去できるので、コンタクトホールとゲート電極の間隔を小さくすることができる。

## 【0089】

本実施の形態においては、LDD側壁を三種類作成する。そのうち二種類は、

高耐圧系PMOSトランジスタのLDD長を稼ぐ為に高ドーズインプラのマスクとなる側壁である。すなわち、PMOS(低電圧、高耐圧系の両方)トランジスタのPプラス拡散層は、第3側壁の外側からイオン注入してPマイナス拡散層の長さ(LDD長)を長くしてジャンクション耐圧を高くするとともに、メモリセルやNMOS領域のNMOSトランジスタでは、第1側壁の外側からNプラス不純物をイオン注入することで、LDD長を短くして、寄生抵抗の上昇を防いでいる。

## 【0090】

この実施の形態によれば、製造工程途中で側壁が三重になっている高耐圧PMOSトランジスタでは、Pプラス拡散層からPマイナス拡散層の先端までの距離が高耐圧NMOSトランジスタよりも長くなっている。

## 【0091】

一方、メモリセルのトランジスタのゲート電極とコンタクトホールとの距離は、従来例よりも側壁の厚さが薄くなっている。従って、その分距離が短く、セル面積を小さくすることが可能となっている。

## 【0092】

また、高耐圧NMOSトランジスタのNマイナスの部分は、薄い側壁のために従来例よりも短くできるので寄生抵抗が抑えられ、電流駆動能力を低下させることもない。

## 【0093】

また、従来技術に比べてリソグラフィー工程の追加も無い為、工程数の増加はシリコン酸化膜の堆積とその側壁残しエッチングのみに抑えられ、工程数の増加を最小限に抑えられる。

## 【0094】

なお、第3の側壁材料としては、シリコン酸化膜に限らず、側壁除去の際に他の除去すべきでない材料との選択比が取れる材料であれば、シリコン酸化膜に限られるものではない。

## 【0095】

なお、高耐圧NMOSトランジスタにおいては、高濃度拡散層は第2側壁をマスクとしては形成されていないが、砒素以外の不純物を用いて形成する場合には

、高耐圧PMOSトランジスタと同様に第2側壁をマスクとして高濃度不純物を形成することが可能である。その場合には、高耐圧PMOSトランジスタ同様に高耐圧NMOSトランジスタにおいて、さらなる高耐圧化が可能となる。

## 【0096】

(第1の実施の形態の第1の変形例)

図10に示されるように隣接するメモリセル70、71のそれぞれのゲート90、91の間隔が小さく、第3側壁であるシリコン酸化膜12が複数のメモリセルのゲート間に隙間なく、埋め込まれている場合がある。

## 【0097】

この場合には図8(A)に示される工程において、Pプラスの拡散層を形成するイオン注入をした後、シリコンナイトライド膜82上のシリコン酸化膜12を除去せずに、図11に示されるようにCVD絶縁膜8をシリコン酸化膜12上に堆積する。

## 【0098】

この場合、ゲート90、91間には隙間なく、シリコン酸化膜12が埋め込まれているため、巣がシリコン酸化膜12には発生せず、後のコンタクト開口工程において、コンタクトが必要な部分だけエッチングされることになる。

## 【0099】

このとき、側壁に使用した酸化膜は、メモリセル部ではゲート間が狭い為にちょうどゲート=ゲート間が埋め込まれた形状になっている為、後にゲート電極上に堆積するCVD絶縁膜は埋め込み性には支障が無い。

## 【0100】

また、側壁もCVD絶縁膜もシリコン酸化膜である為、後工程のコンタクトRIEにおいても、同一条件を用いることができる。

## 【0101】

(第1の実施の形態の第2の変形例)

第1の実施の形態では、図1に示されるように、高耐圧PMOSトランジスタ及び高耐圧NMOSトランジスタのゲート高さは、メモリセルのゲート高さよりも低く形成された場合を示している。

## 【0102】

ここで、場合により、図12に示されるようにメモリセル部2のゲート9の高さとほぼ等しい高さで高耐圧PMOSトランジスタ3のゲート20の高さと高耐圧NMOSトランジスタ4のゲート21の高さが形成されてもよい。

## 【0103】

この場合、メモリセルトランジスタ2のゲート9以外はフローティングゲート16に相当する多結晶シリコン層とコントロールゲート17に相当する多結晶シリコン層との間には、絶縁膜は介在せず、多結晶シリコン層同士が積層されている。

## 【0104】

## (第2の実施の形態)

本発明による第2の実施の形態を図13に示す。図13も先の第1の実施の形態と同様にNOR型フラッシュメモリに適応した例である。メモリセルと高耐圧トランジスタにおいては、薄い第1側壁10として例えば厚さ80nmのシリコンナイトライドが形成されている。

## 【0105】

高耐圧NMOSトランジスタ4のNプラス拡散層領域6は、薄い第1側壁47越しにインプラされたものであり、第1側壁47の外側から熱拡散した分だけ内側まで形成されている。メモリセルトランジスタ2の高濃度拡散層領域5は、ゲート9越しにインプラされたものであり、ゲートエッジから熱拡散した分だけ内側まで形成されている。

## 【0106】

高耐圧PMOSトランジスタ75においては、使用している側壁はメモリセル、NMOSトランジスタと同じ構造、厚さであるが、Pプラス拡散層76は第2の側壁82、第3の側壁(図示せず)越しにインプラされたものであり、高耐圧NMOSトランジスタ4のNプラス拡散層6よりはゲート13に対して外側に形成されている。場合によっては、薄い第1側壁47よりも外側に形成されている。

## 【0107】

一方、高耐圧NMOSトランジスタ4のNマイナス拡散層領域36は、ゲート

加工後にゲート 1 8 越しにインプラされたものであり、ゲートエッジから熱拡散した分だけ内側まで形成されているのに対し、高耐圧 PMOS トランジスタ 7 5 においては、P マイナス拡散層領域 7 7 は、第 1 側壁 1 0 越しにインプラされたものであり、第 1 側壁であるシリコンナイトライドから熱拡散した分だけ内側まで形成されている。

## 【 0 1 0 8 】

そのため、高耐圧 PMOS トランジスタ 7 5 のゲート下の P マイナス拡散層領域が第 1 の実施の形態に比べて少なくなり、LDD 長 9 4 が第 1 の実施の形態における高耐圧 PMOS トランジスタ 3 における LDD 長 1 4 よりも短くなる。

## 【 0 1 0 9 】

すなわち、実行チャネル長が従来例より長くなり、パンチスルー耐圧及び短チャネル効果特性が従来例よりも上昇する。あるいは、ゲート電極の長さを縮小することができる為、従来の高耐圧 PMOS トランジスタよりも面積を縮小することができる。なお、低電圧トランジスタの構造については、第 1 の実施の形態と同様である。

## 【 0 1 1 0 】

次に、図 1 3 に示した第 2 の実施の形態の構造における、不揮発性半導体記憶装置の製造方法を図 1 4 ～図 2 0 に示す。

## 【 0 1 1 1 】

まず、図 1 4 に示されるように半導体基板 1 上に素子分離領域 3 0 とメモリセルトランジスタ 2 のトンネル酸化膜 3 1、フローティングゲート 1 6 及びインターポリ絶縁膜 3 2 と高耐圧 PMOS トランジスタ 7 5 の酸化膜 3 3 と、高耐圧 NMOS トランジスタ 4 の酸化膜 3 4 と、メモリセルトランジスタ 2 のコントロールゲート電極 1 7、高耐圧 PMOS トランジスタ 7 5 のゲート電極 1 3、高耐圧 NMOS トランジスタ 4 のゲート電極 1 8 を形成する。次いで、メモリセルトランジスタ 2、高耐圧 NMOS トランジスタ 4 のそれぞれのゲート電極 9、1 8 に対して自己整合的に所望のイオン注入、拡散を行いソース/ドレインを形成する。

## 【 0 1 1 2 】

各ゲート電極の表面及びソース/ドレイン領域には後酸化膜 4 5 が膜厚約 1 0 n m で形成されている。高耐圧 N M O S トランジスタ 4 のソース/ドレインには N マイナス拡散層 3 6 が形成されている。

## 【 0 1 1 3 】

一方、メモリセルトランジスタ 2 のソース/ドレイン領域には N プラス拡散層 5 が形成されている。これらは、各イオン注入時に、フォトリジストによってインプラされる領域を区別している。

## 【 0 1 1 4 】

次に、図 1 5 に示されるようにゲート後酸化膜 4 5 上に側壁加工のストッパーとして例えばシリコン酸化膜 2 9 を約 1 0 ~ 2 0 n m 堆積した後、第 1 側壁 1 0 として例えばシリコンナイトライド膜 4 6 を約 8 0 n m 堆積する。

## 【 0 1 1 5 】

次に、図 1 6 に示されるようにシリコンナイトライド膜 4 6 を異方性エッチングで選択的にエッチングして各ゲート電極の側面に側壁残しを行う。

## 【 0 1 1 6 】

その後、図 1 7 に示されるように高耐圧 P M O S トランジスタ 7 5 に、第 1 側壁 1 0 越しに P マイナスのインプラを行う。このとき、メモリセルトランジスタ及び N M O S トランジスタにはインプラが打たれないようにフォトリジストによってカバーする。

## 【 0 1 1 7 】

次に、メモリセルトランジスタ 2 と高耐圧 N M O S トランジスタ 4 に、それぞれの第 1 側壁 7 越しに N プラスのインプラを行う。このとき、高耐圧 P M O S トランジスタ 7 5 にはインプラが打たれないようにフォトリジストによってカバーする。

## 【 0 1 1 8 】

次に、図 1 8 に示されるように全面にシリコンナイトライド膜 8 2 を例えば約 4 0 n m 程度堆積する。この膜は、後のコンタクト加工時のストッパになると同時に、後で行う P プラスインプラの際の第 2 側壁 8 2 となる。

## 【 0 1 1 9 】

さらにその上の全面に、第3側壁であるシリコン酸化膜12を約50nm程度堆積する。

#### 【0120】

次に、図19に示されるようにシリコンナイトライド膜82と選択比のとれるような異方性エッチングを全面に対して行い、シリコン酸化膜12の側壁残しを行う。このとき、シリコンナイトライド膜82と側壁残しされたシリコン酸化膜12の厚さの和が、高耐圧PMOSトランジスタ75のジャンクション耐圧を十分持たせるようなLDD長を形成できる厚さになるようにする。

#### 【0121】

次に、この側壁残しされたシリコン酸化膜である第3側壁19をマスクとして、Pプラスの拡散層76を形成するイオン注入を行う。このとき、メモリセル及びNMOSトランジスタにはインプラが打たれないようにフォトレジストによってカバーする。

#### 【0122】

次に、図20に示されるようにシリコンナイトライド膜82上の側壁のシリコン酸化膜である第3側壁19を、例えば弗化アンモニウムでエッチングして除去する。これにより、ゲート側壁の形状は、メモリセル・NMOSトランジスタ・PMOSトランジスタともに、シリコンナイトライドの同一膜厚の側壁となる。

#### 【0123】

その後、全面にCVD等により絶縁膜を被覆した後、コンタクトホールを開孔し、そこに導電膜を埋めこみ、所望の電極を接続して図13に示したNOR型フラッシュメモリを得る。

#### 【0124】

なお、低電圧PMOSトランジスタ及び低電圧NMOSトランジスタは第1の実施の形態と同様の製造方法にて製造される。

#### 【0125】

この実施の形態によれば、製造工程途中で側壁が三重になっている高耐圧PMOSトランジスタでは、Pプラス拡散層からPマイナス拡散層の先端までの距離が高耐圧NMOSトランジスタよりも長くなっている。一方で、メモリセルのト

ランジスタのゲート電極とコンタクトホールとの間の距離は、従来よりも側壁の厚さが薄くなっている。

【 0 1 2 6 】

従って、その分メモリセルのトランジスタのゲート電極とコンタクトホールとの間の距離が短く、メモリセル面積を小さくすることが可能となっている。また、高耐圧NMOSトランジスタのNマイナスの部分は、薄い側壁のために従来例よりも短くできるので寄生抵抗が抑えられ、電流駆動能力を低下させることもない。

【 0 1 2 7 】

また、高耐圧PMOSトランジスタの実効チャネル長が従来例より長くなり、パンチスルー耐圧及び短チャネル効果特性が従来例よりも上昇する。あるいは、ゲート電極の長さを縮小することができる為、従来例の高耐圧PMOSトランジスタよりも面積を縮小することができる。

【 0 1 2 8 】

また、従来技術に比べてリソグラフィ工程の追加も無い為、工程数の増加はシリコン酸化膜の堆積とその側壁残しエッチングのみに抑えられ、同様の効果を持つ公知例に比べて、工程数の増加を最小限に抑えられる。

【 0 1 2 9 】

本実施の形態においても第1の実施の形態同様の効果を有している。

【 0 1 3 0 】

なお、本実施の形態においても第1の実施の形態の変形例がそのまま適応できる。

【 0 1 3 1 】

上記各実施の形態においては、不揮発性半導体記憶装置を例として説明されているが、本発明はそれに限られるものではなく、高耐圧トランジスタを有する半導体装置であれば論理LSIやメモリ混載論理LSIなどにおいても適用される。

【 0 1 3 2 】

【発明の効果】



本発明によれば、高耐圧PMOSトランジスタのジャンクション耐圧を維持し、かつNMOSトランジスタやメモリセルトランジスタにおけるコンタクトとゲートとの距離を小さくしてパターンサイズの縮小ができる。

【 0 1 3 3 】

また、高耐圧PMOSトランジスタの短チャネル効果を抑制でき、チャネル長を長くすることができる。

【 0 1 3 4 】

また、他の二重側壁プロセスに比較して、リソグラフィ工程の追加を抑えて二重側壁を設けた半導体装置を製造できる。

【図面の簡単な説明】

【図 1】 本発明の第 1 の実施の形態の主要構成を示す断面図である。

【図 2】 本発明の第 1 の実施の形態の全体構成の概要を示す半導体装置の断面図である。

【図 3】 本発明の第 1 の実施の形態の一部分の構成を示す断面図である。

【図 4】 (A) は本発明の第 1 の実施の形態の主要構成の製造方法を説明する一工程の断面図である。(B) は本発明の第 1 の実施の形態の部分構成の製造方法を説明する一工程の断面図である。

【図 5】 (A) は本発明の第 1 の実施の形態の主要構成の製造方法を説明する一工程の断面図である。(B) は本発明の第 1 の実施の形態の部分構成の製造方法を説明する一工程の断面図である。

【図 6】 (A) は本発明の第 1 の実施の形態の主要構成の製造方法を説明する一工程の断面図である。(B) は本発明の第 1 の実施の形態の部分構成の製造方法を説明する一工程の断面図である。

【図 7】 (A) は本発明の第 1 の実施の形態の主要構成の製造方法を説明する一工程の断面図である。(B) は本発明の第 1 の実施の形態の部分構成の製造方法を説明する一工程の断面図である。

【図 8】 (A) は本発明の第 1 の実施の形態の主要構成の製造方法を説明する一工程の断面図である。(B) は本発明の第 1 の実施の形態の部分構成の製造方法を説明する一工程の断面図である。

【図 9】 (A) は本発明の第 1 の実施の形態の主要構成の製造方法を説明する一工程の断面図である。(B) は本発明の第 1 の実施の形態の部分構成の製造方法を説明する一工程の断面図である。

【図 1 0】 本発明の第 1 の実施の形態の第 1 の変形例の製造方法の一工程を示す断面図である。

【図 1 1】 本発明の第 1 の実施の形態の第 1 の変形例の製造方法の一工程を示す断面図である。

【図 1 2】 本発明の第 1 の実施の形態の第 2 の変形例の主要構成を示す断面図である。

【図 1 3】 本発明の第 2 の実施の形態の主要構成を示す断面図である。

【図 1 4】 本発明の第 2 の実施の形態の主要構成の製造方法を説明する一工程の断面図である。

【図 1 5】 本発明の第 2 の実施の形態の主要構成の製造方法を説明する一工程の断面図である。

【図 1 6】 本発明の第 2 の実施の形態の主要構成の製造方法を説明する一工程の断面図である。

【図 1 7】 本発明の第 2 の実施の形態の主要構成の製造方法を説明する一工程の断面図である。

【図 1 8】 本発明の第 2 の実施の形態の主要構成の製造方法を説明する一工程の断面図である。

【図 1 9】 本発明の第 2 の実施の形態の主要構成の製造方法を説明する一工程の断面図である。

【図 2 0】 本発明の第 2 の実施の形態の主要構成の製造方法を説明する一工程の断面図である。

【図 2 1】 従来の半導体装置の断面図である。

【図 2 2】 先願の半導体装置の断面図である。

【符号の説明】

1 半導体基板

2、7 0、7 1 メモリセルトランジスタ

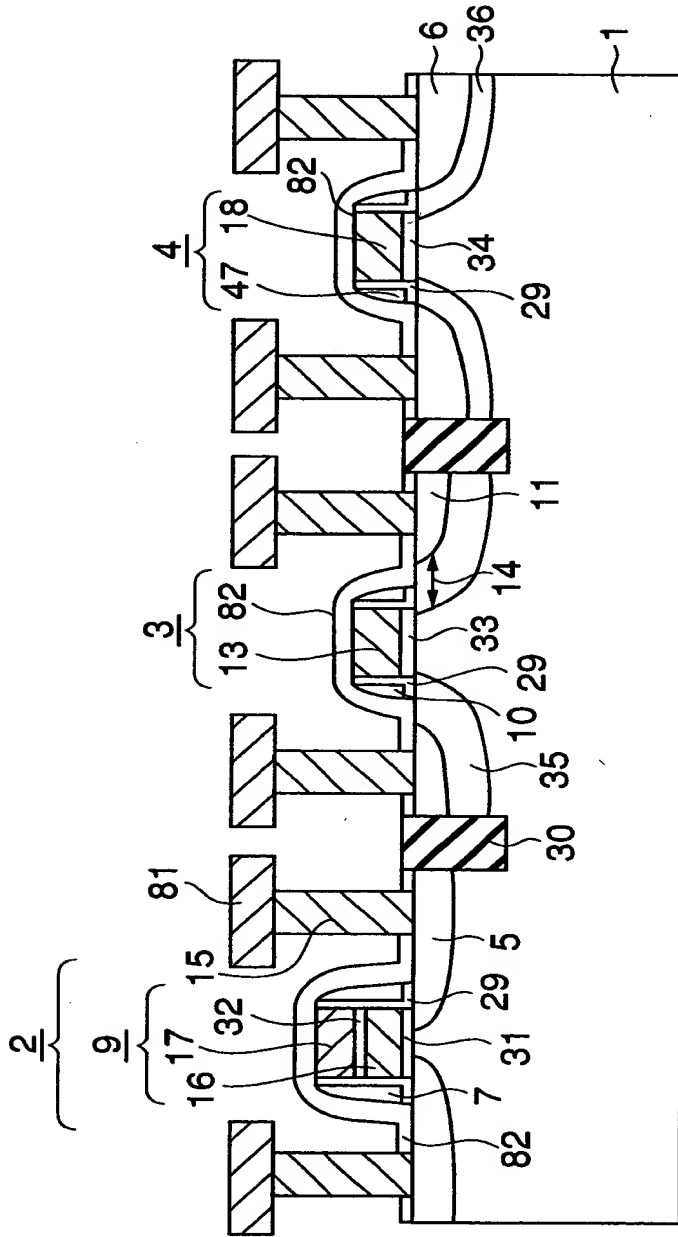
- 3、75 高耐圧PMOSトランジスタ
- 4 高耐圧NMOSトランジスタ
- 5、6、66 Nプラス拡散層
- 7、10、47 第1側壁
- 8 CVD酸化膜
- 9、90、91 ゲート
- 11、48、64、76 Pプラス拡散層
- 12、29、46、50 シリコン酸化膜
- 13、18、20、21、39、40、41、42 ゲート電極
- 14、94 LDD長
- 15 コンタクトホール
- 16 フローティングゲート
- 17 コントロールゲート
- 19 第3側壁
- 30 素子分離領域
- 31 トンネル酸化膜
- 32 インターポリ絶縁膜
- 33、34、39、40、67、68 ゲート酸化膜
- 35、43、63、77 Pマイナス拡散層
- 36、44、65 Nマイナス拡散層
- 37 低電圧PMOSトランジスタ
- 38 低電圧NMOSトランジスタ
- 45 後酸化膜
- 46 シリコンナイトライド膜
- 47 第1側壁
- 49、57、60 Pウエル
- 50 メモリセル領域
- 51 周辺トランジスタ領域
- 52、53 Nウエル

- 54 メモリトランジスタ
- 55 高耐圧トランジスタ群
- 56 低電圧トランジスタ群
- 58、61 NMOSトランジスタ
- 59、62 PMOSトランジスタ
- 81 電極
- 82 第2側壁（シリコンナイトライド膜）

【書類名】

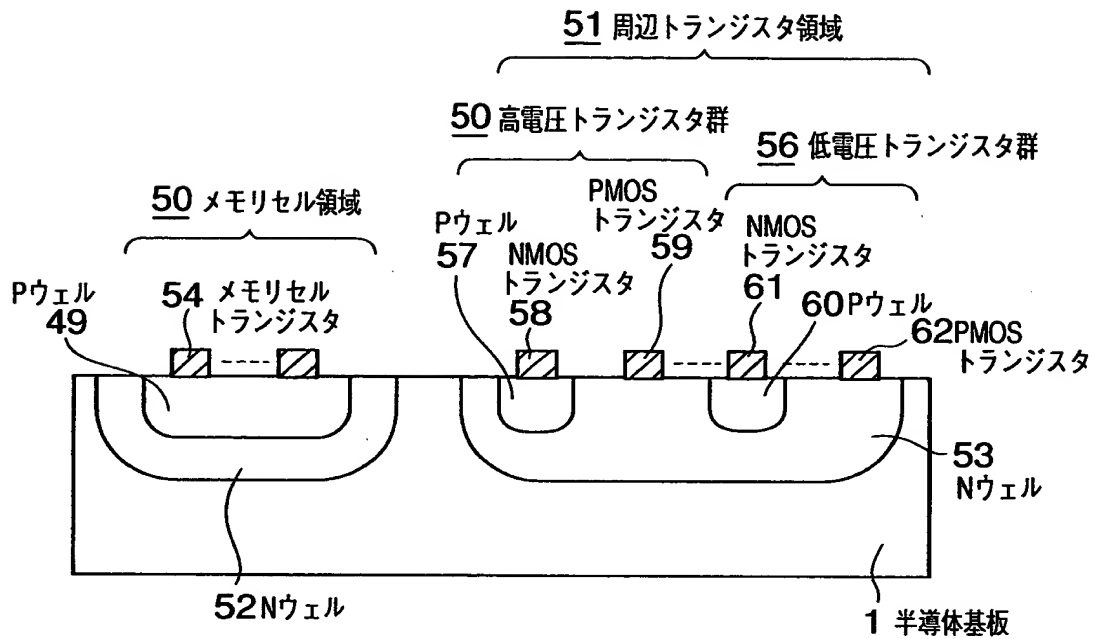
図面

【図1】

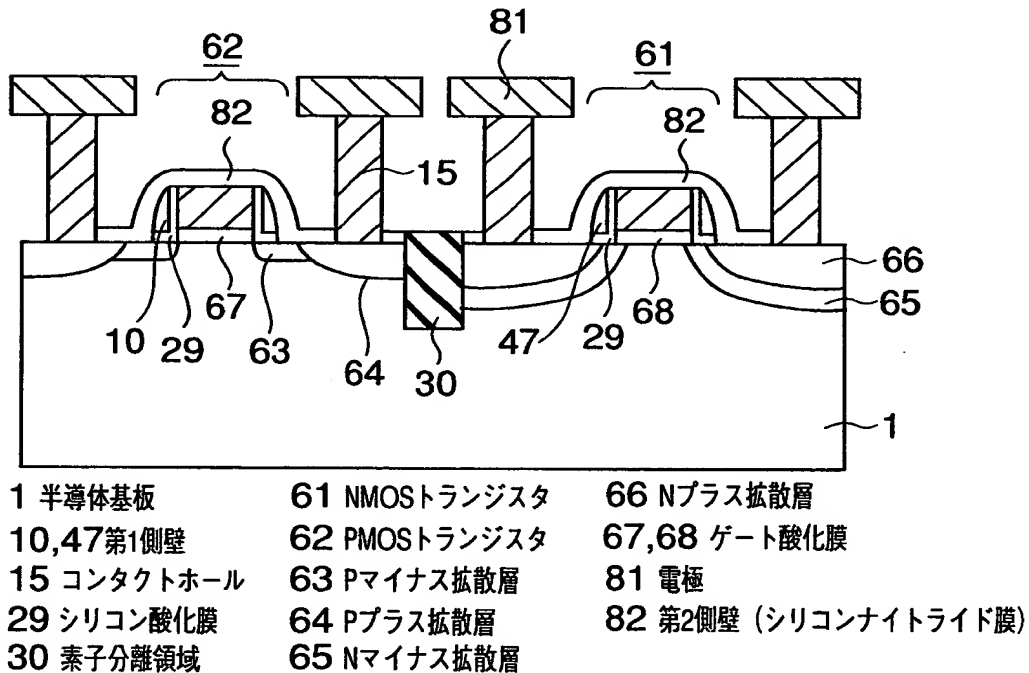


- |                 |                |                       |
|-----------------|----------------|-----------------------|
| 1 半導体基板         | 13, 18 ゲート電極   | 32 インターポリ絶縁膜          |
| 2 メモリセルトランジスタ   | 14 LDD長        | 33, 34 ゲート酸化膜         |
| 3 高耐圧PMOSトランジスタ | 15 コンタクトホール    | 35 Pマイナスイオン拡散層        |
| 4 高耐圧NMOSトランジスタ | 16 フロートティングゲート | 36 Nマイナスイオン拡散層        |
| 5, 6 Nプラス拡散層    | 17 コンタクトホールゲート | 81 電極                 |
| 7, 10, 47 第1側壁  | 29 シリコン酸化膜     | 82 第2側壁 (シリコンナイトライド膜) |
| 9 ゲート           | 30 素子分離領域      |                       |
| 11 Pプラス拡散層      | 31 トンネル酸化膜     |                       |

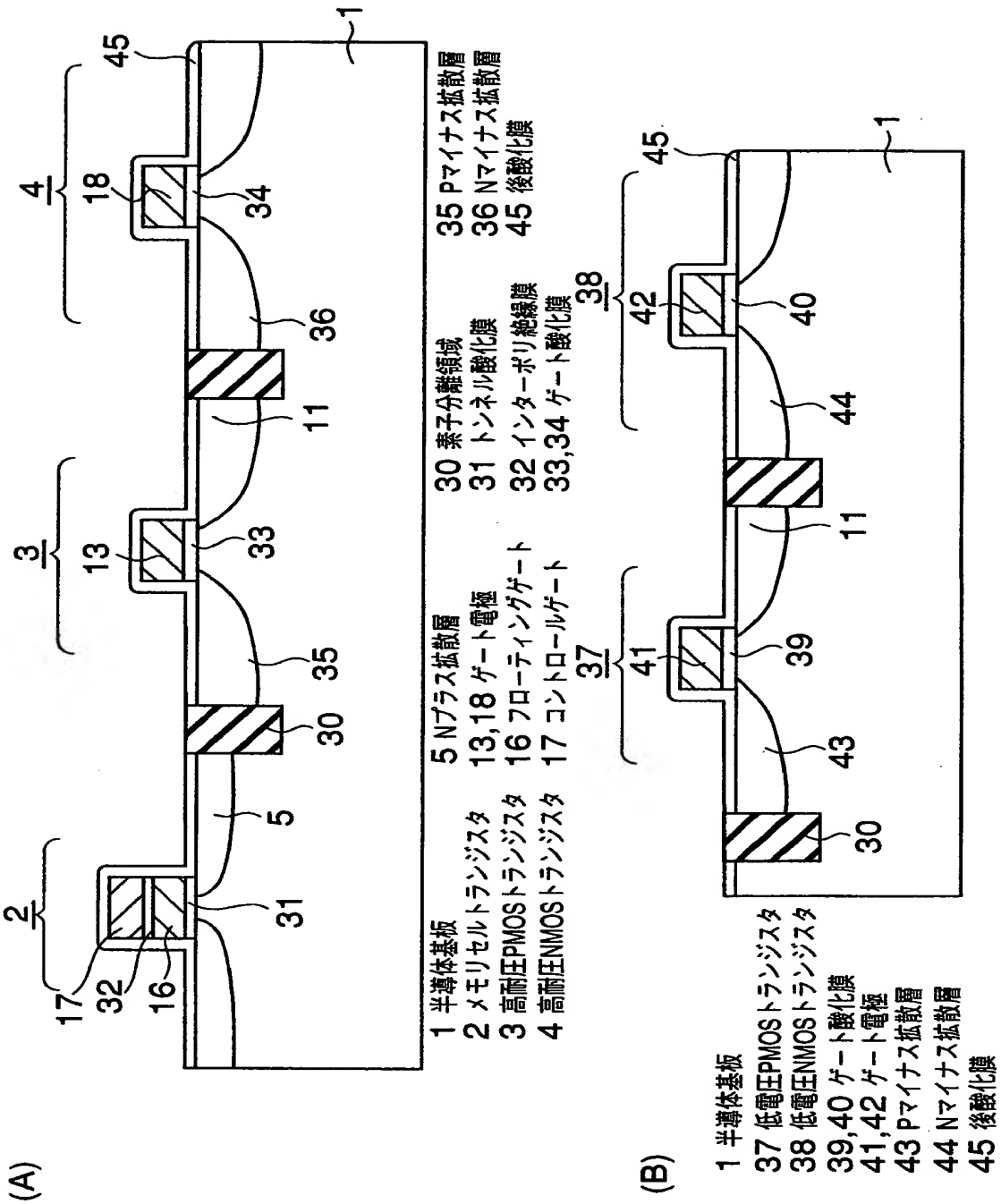
【図2】



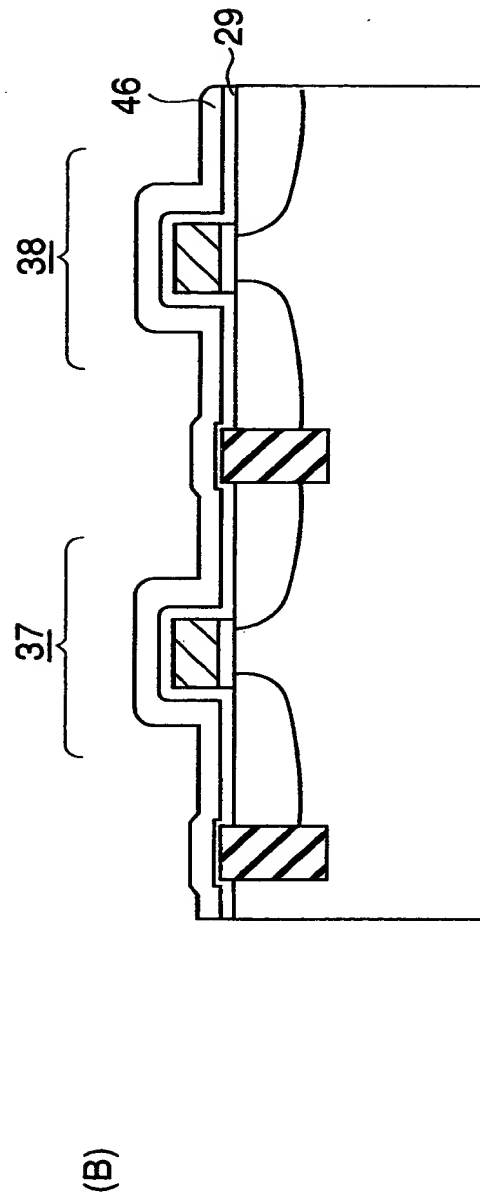
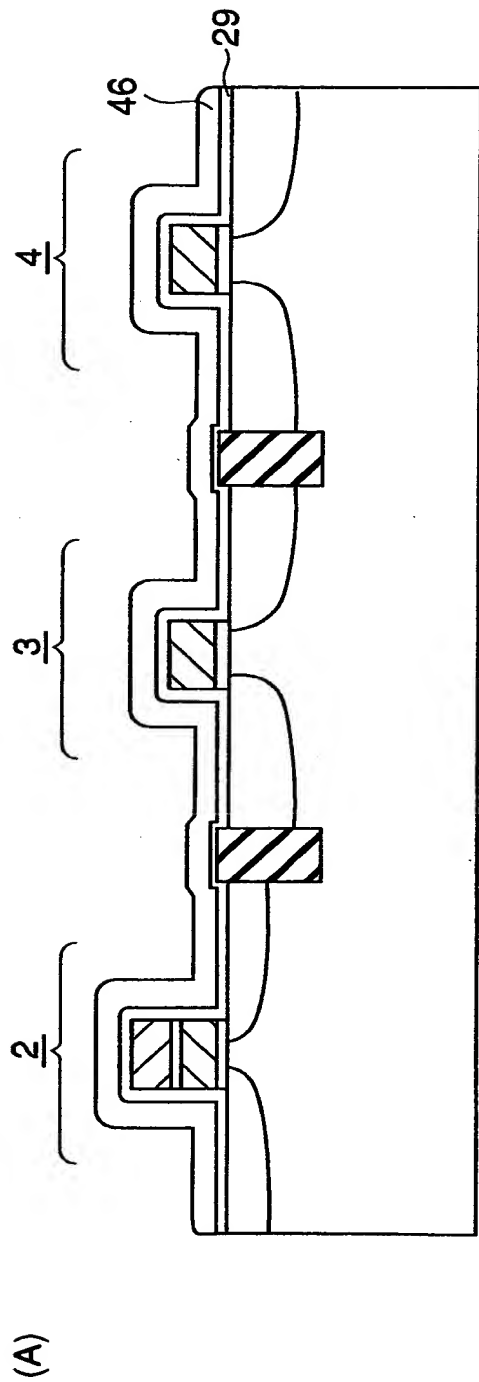
【図3】



【図 4】

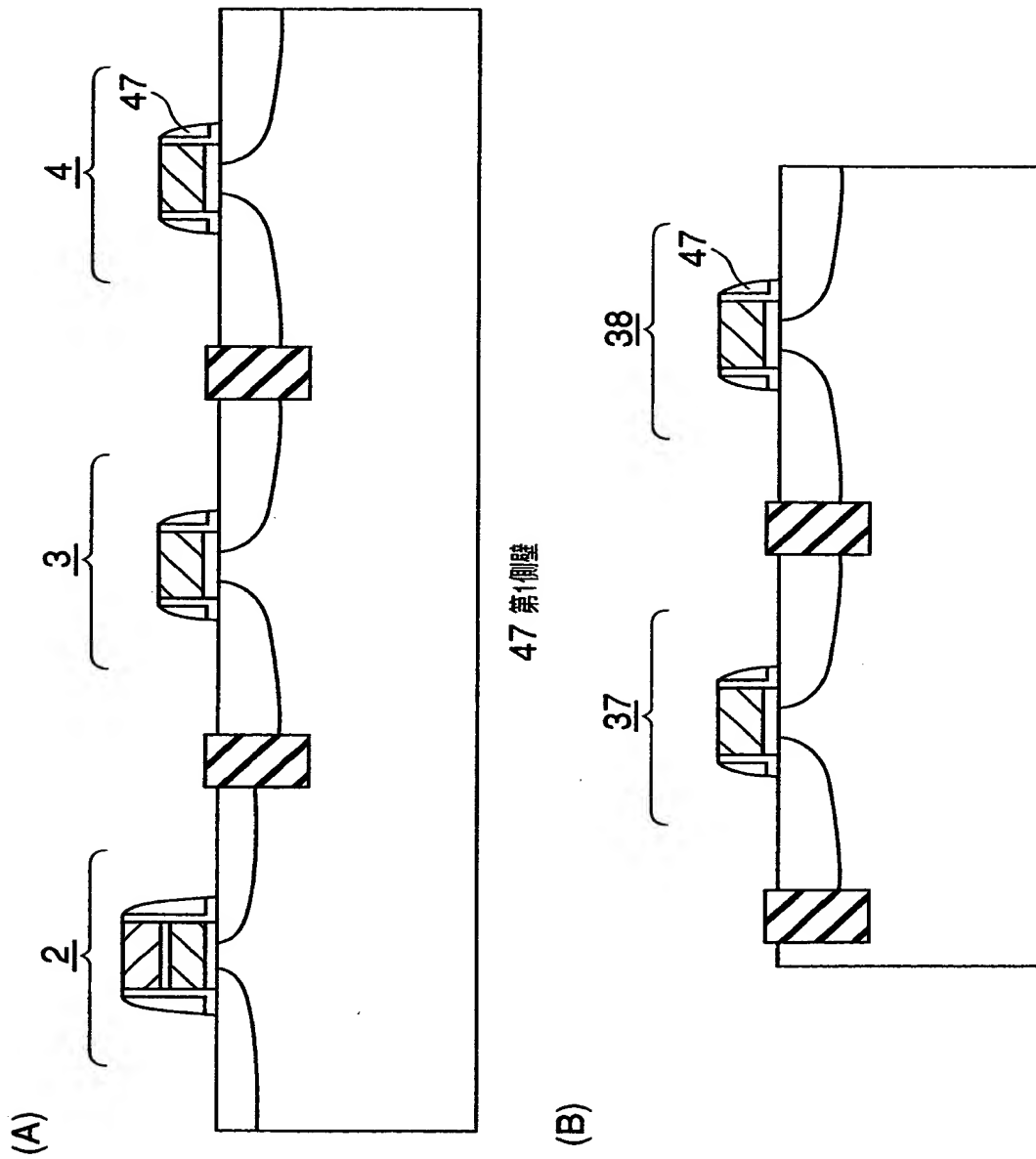


【図5】

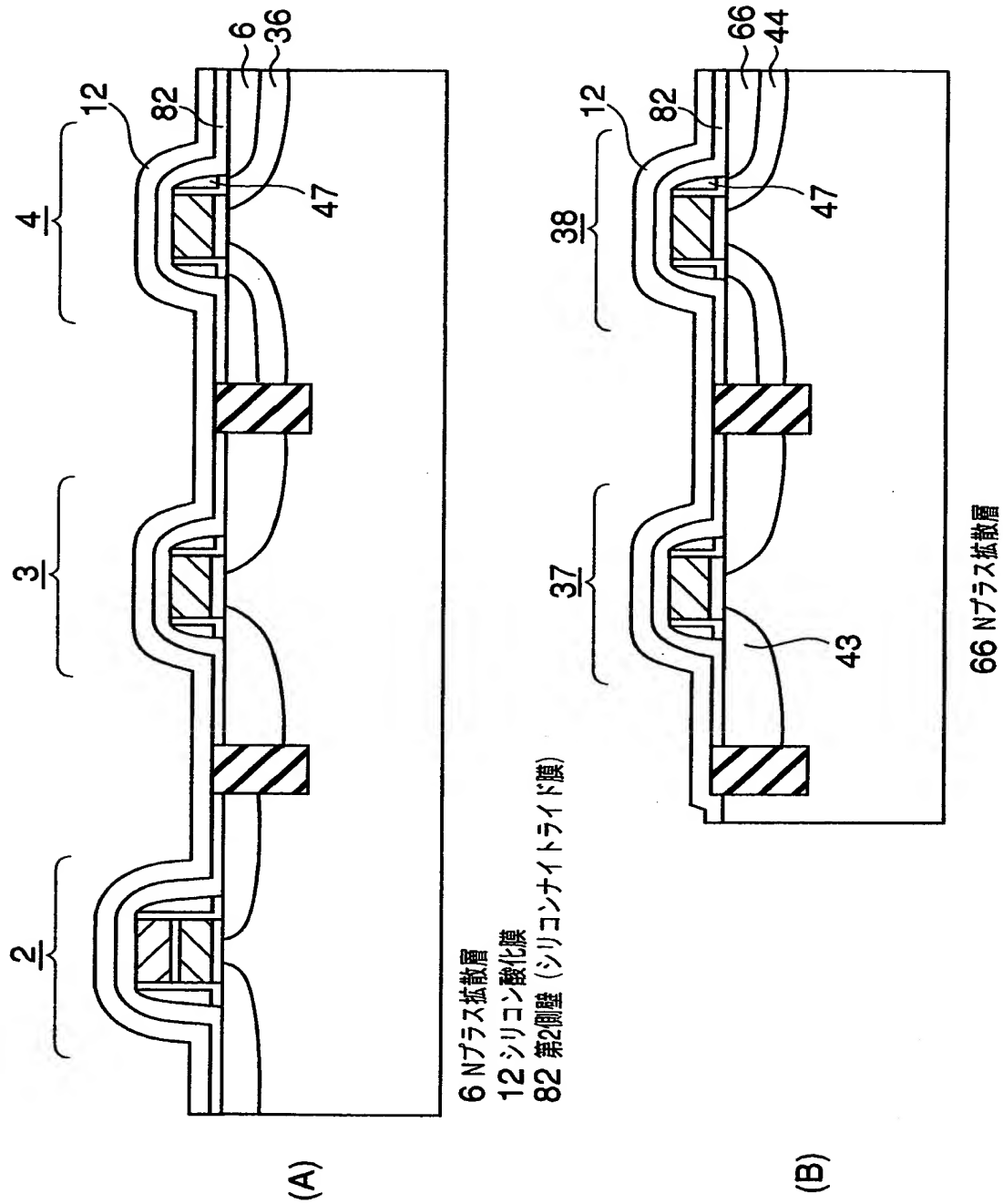




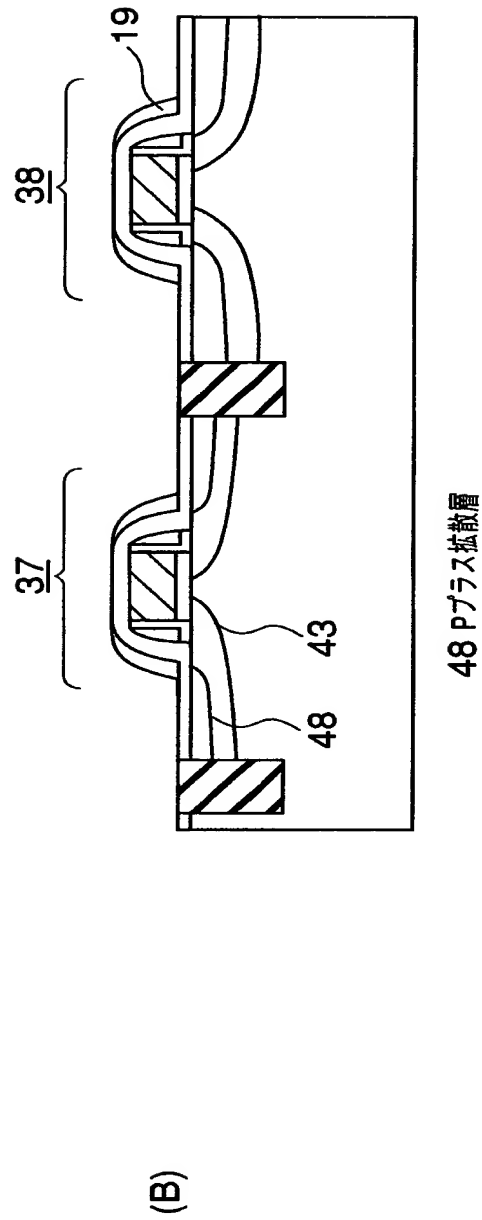
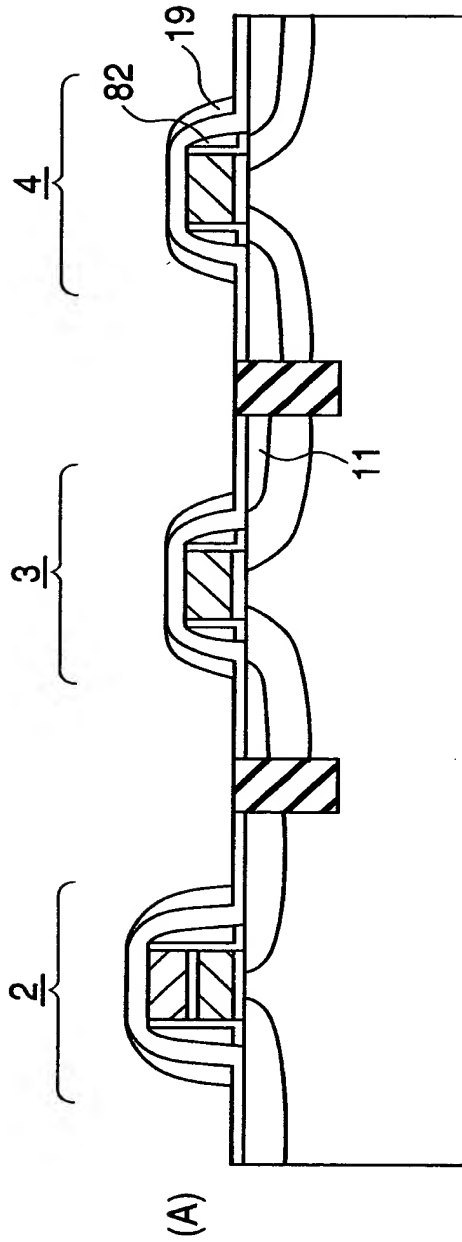
【図 6】



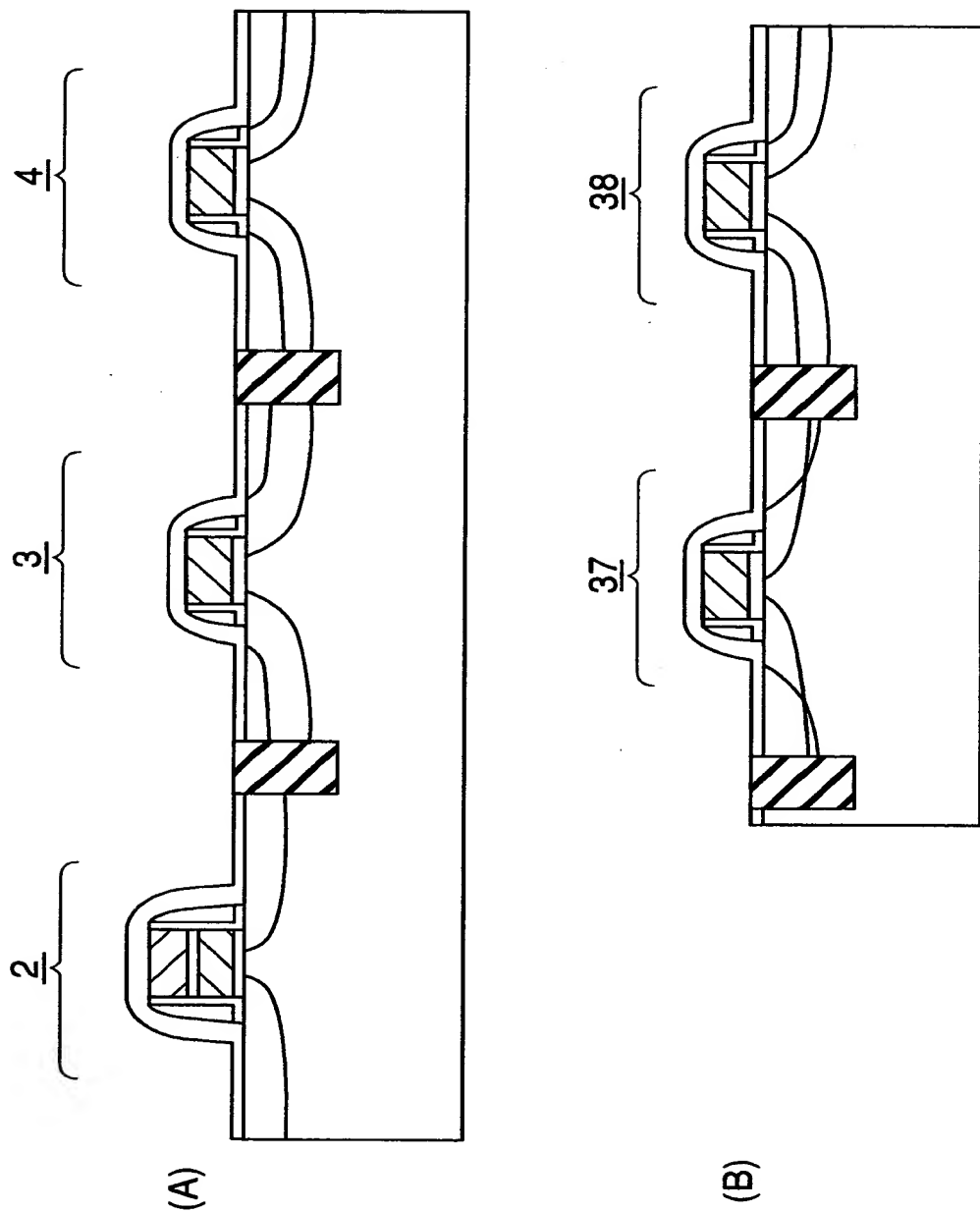
【図7】



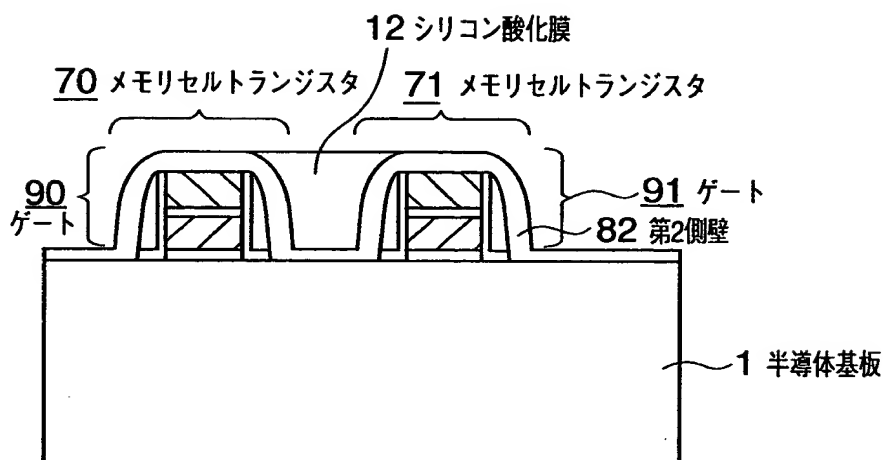
【図 8】



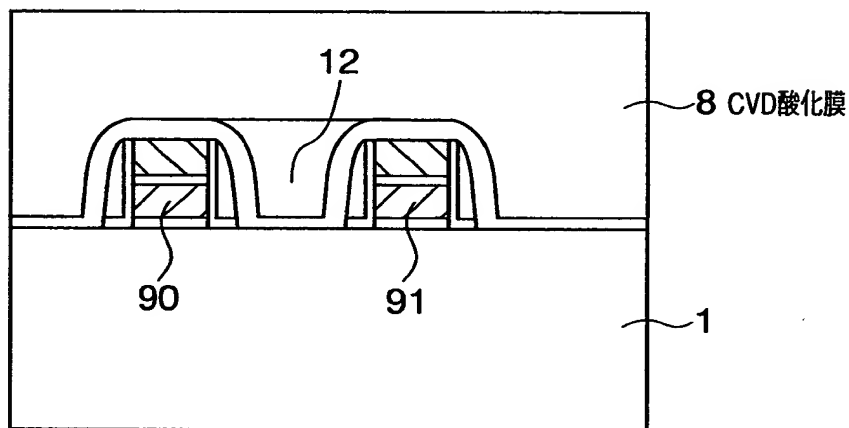
【図9】



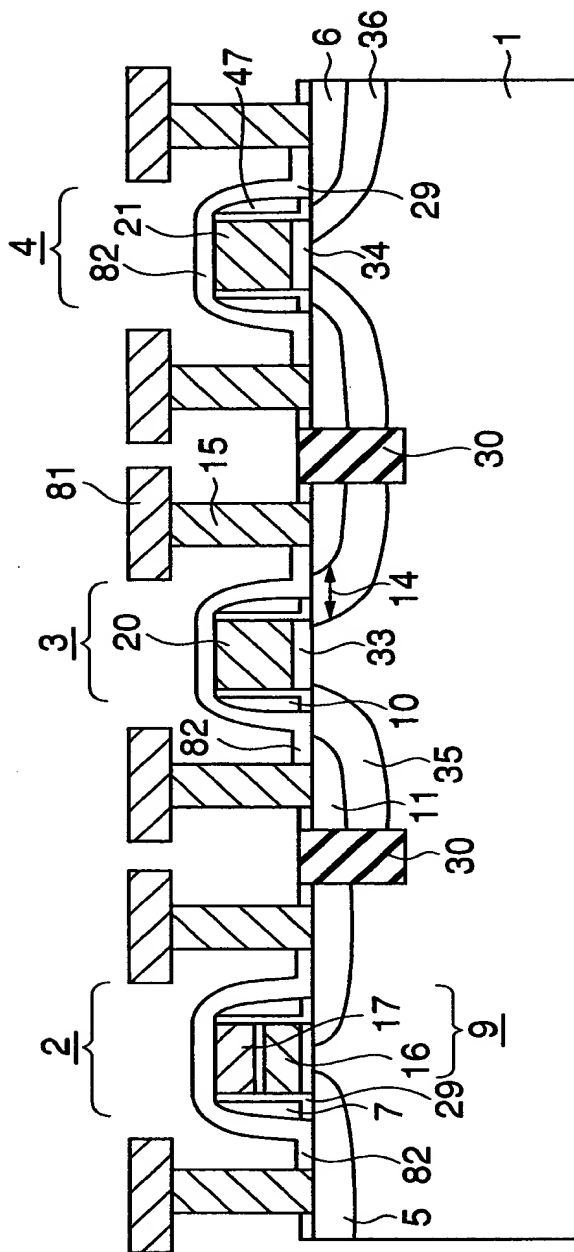
【図 1 0】



【図 1 1】

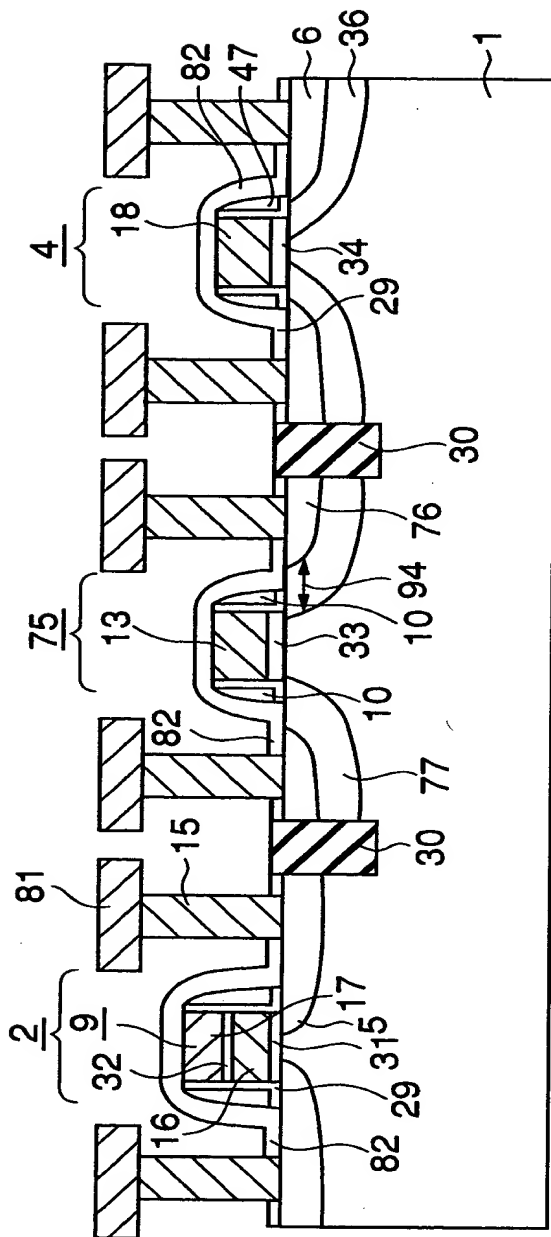


【図12】



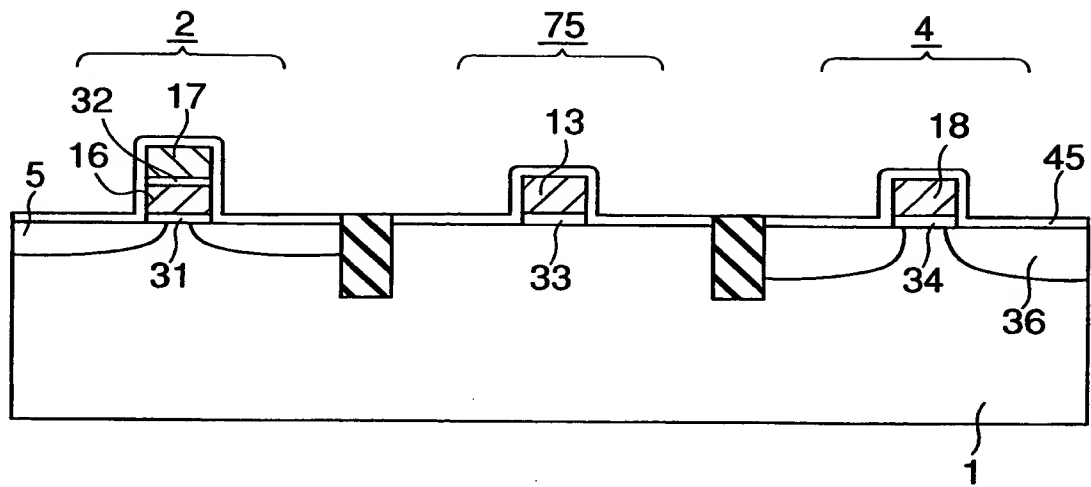
- |                 |               |                      |
|-----------------|---------------|----------------------|
| 1 半導体基板         | 11 Pプラス拡散層    | 30 素子分離領域            |
| 2 メモリセルトランジスタ   | 14 LDD長       | 33,34 ゲート酸化膜         |
| 3 高耐圧PMOSトランジスタ | 15 コンタクトホール   | 35 Pマイナス拡散層          |
| 4 高耐圧NMOSトランジスタ | 16 フローティングゲート | 36 Nマイナス拡散層          |
| 5,6 Nプラス拡散層     | 17 コントロールゲート  | 47 第1側壁              |
| 9 ゲート           | 20,21 ゲート電極   | 81 電極                |
| 10,47 第1側壁      | 29 シリコン酸化膜    | 82 第2側壁 (シリコンナイトシド膜) |

【図13】

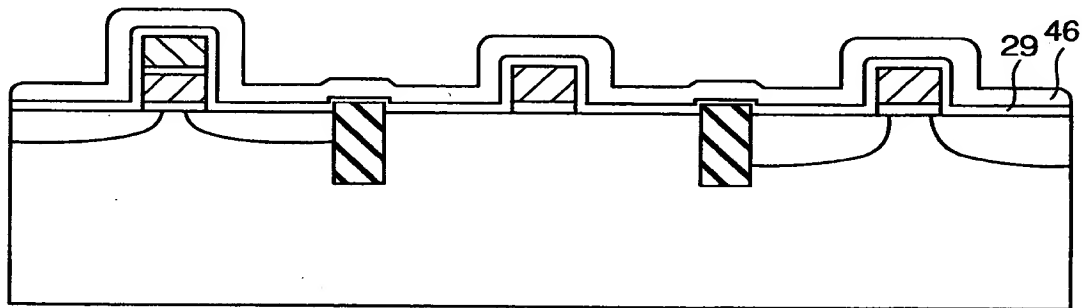


13, 18 ゲート電極  
 75 高耐圧PMOSトランジスタ  
 76 Pプラス拡散層  
 77 Pマイナス拡散層  
 94 LDD長

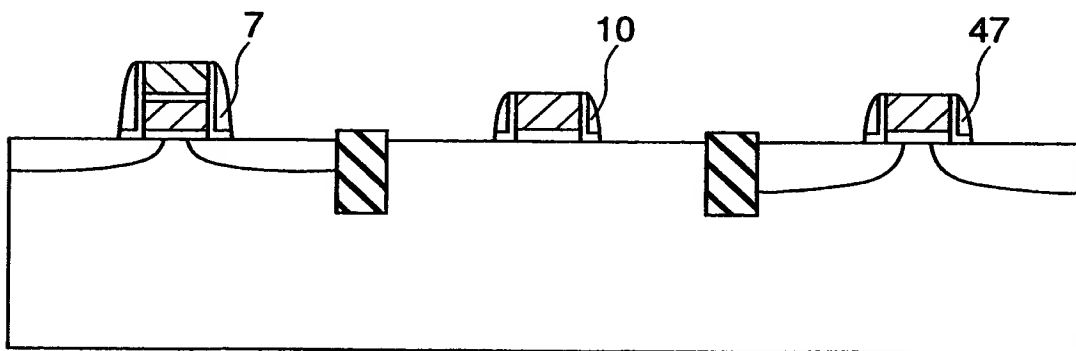
【図14】



【図15】

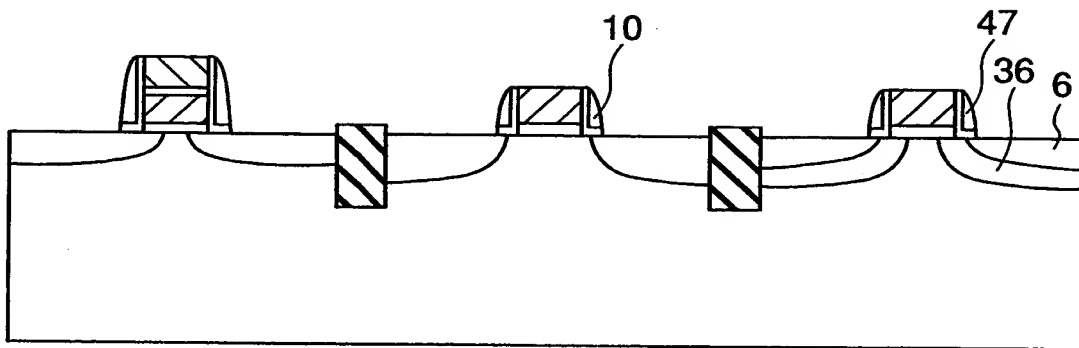


【図16】

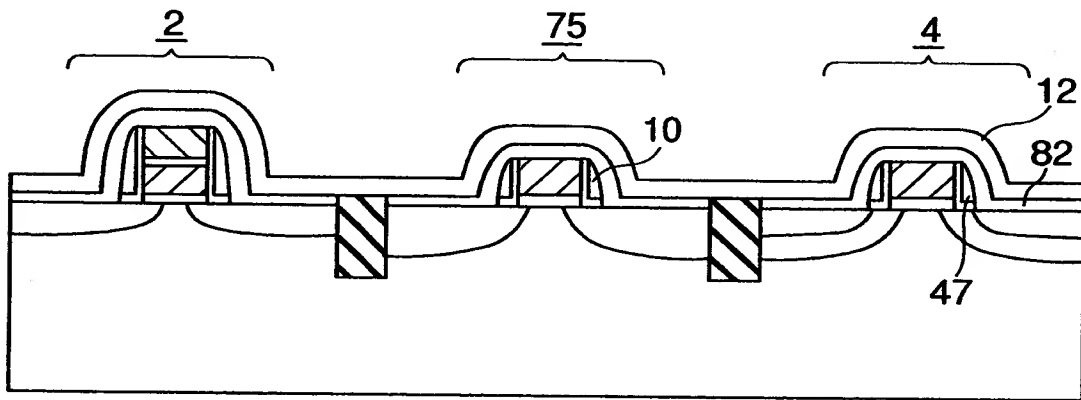




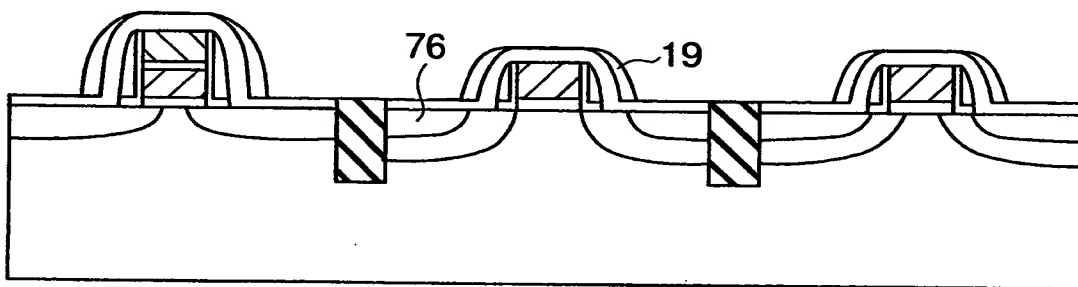
【図17】



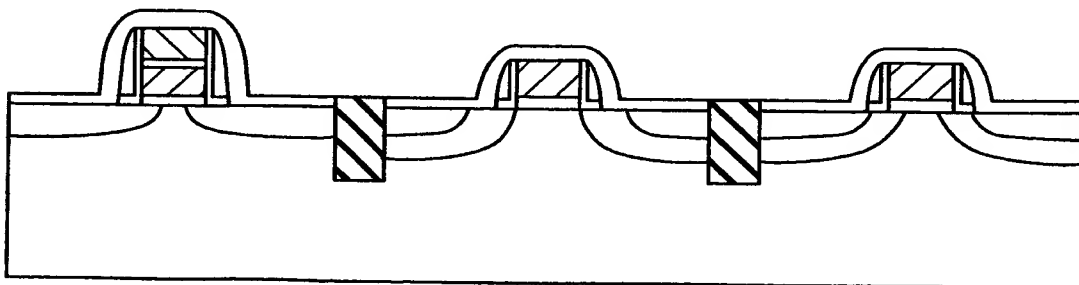
【図18】



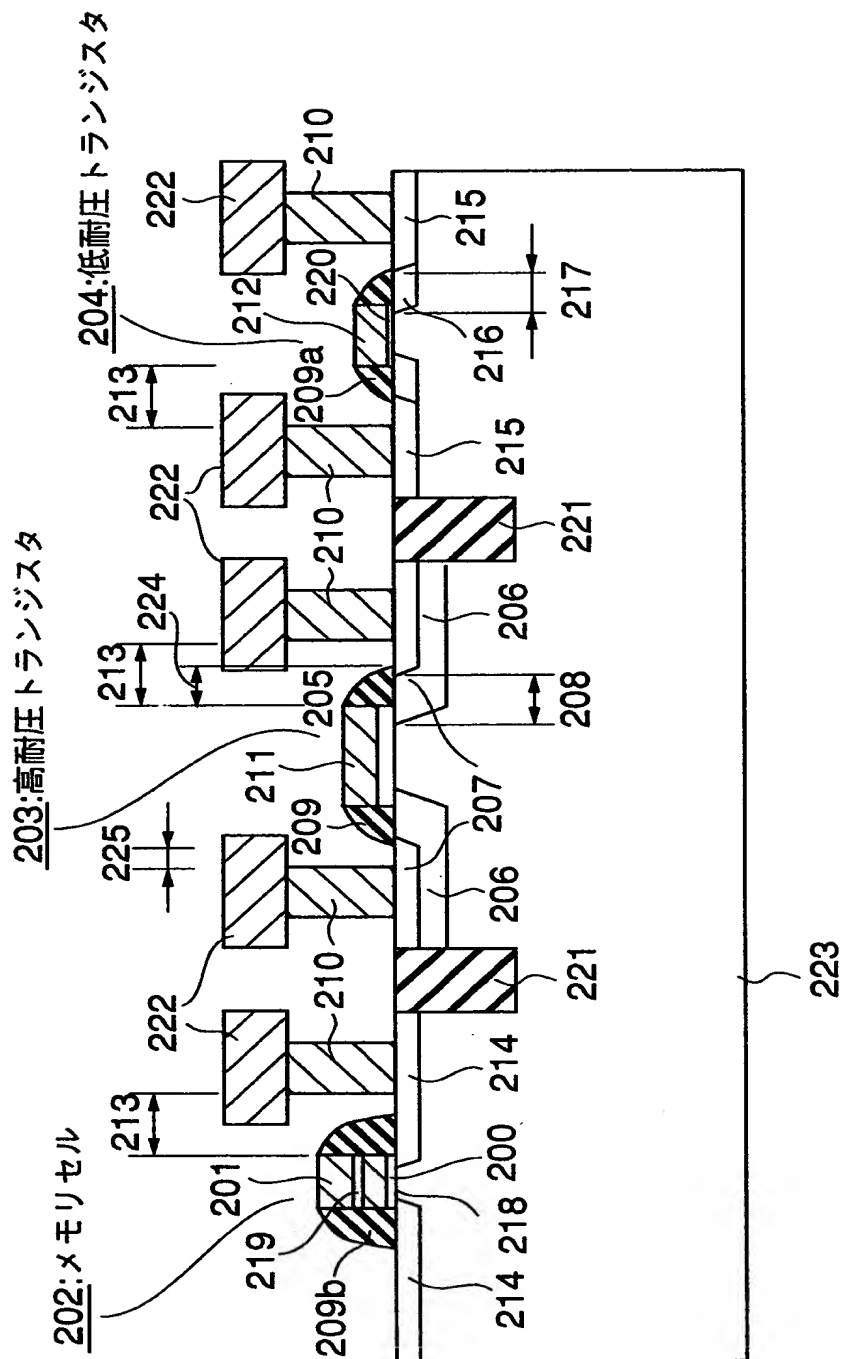
【図19】



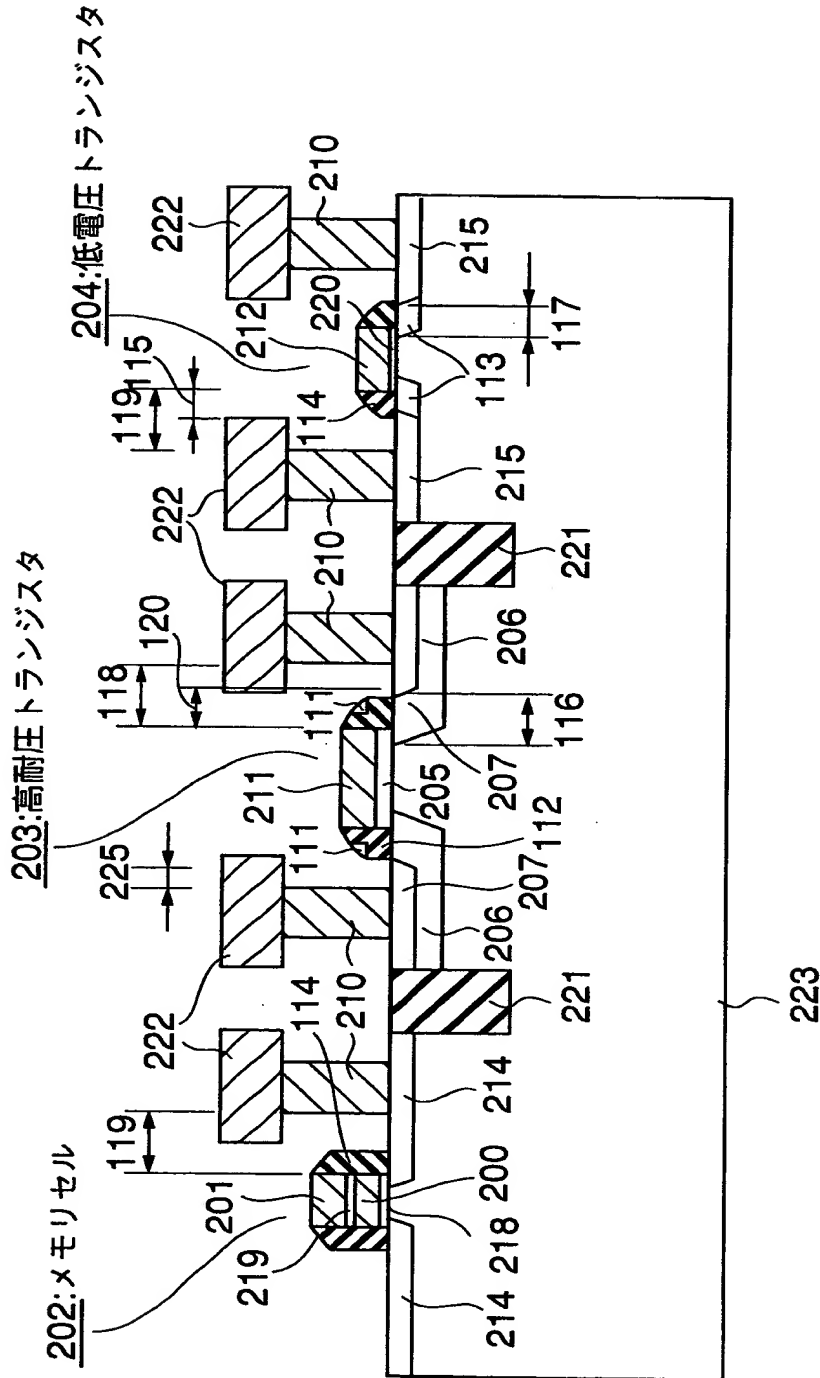
【図20】



【図 21】



【図 22】



【書類名】 要約書

【要約】

【課題】 高耐圧PMOSトランジスタの耐圧を確保した高集積化された半導体装置を提供することを目的とする。

【解決手段】 第1ゲート18と、この第1ゲート周囲に形成されたN型低濃度拡散層36と、このN型低濃度拡散層の周囲に形成されたN型高濃度拡散層6と、この第1ゲート周囲に形成された第1ゲート側壁29、47、82とを有するN型トランジスタ4と、第2ゲート13と、この第2ゲート周囲に形成されたP型低濃度拡散層35と、このP型低濃度拡散層の周囲に形成されたP型高濃度拡散層11と、このゲート周囲に形成された第2ゲート側壁10、29、82とを有するP型トランジスタ3とを備え、P型低濃度拡散層は前記第2ゲート下方向へ延出している長さがN型低濃度拡散層が前記第1ゲート下方向へ延出している長さより長く形成されていることを特徴とする半導体装置。

【選択図】 図1

特2000-310155

認定・付加情報

特許出願の番号	特願2000-310155
受付番号	50001312117
書類名	特許願
担当官	第五担当上席 0094
作成日	平成12年10月12日

<認定情報・付加情報>

【提出日】	平成12年10月11日
-------	-------------

次頁無

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日 1990年 8月22日  
[変更理由] 新規登録  
住 所 神奈川県川崎市幸区堀川町72番地  
氏 名 株式会社東芝
2. 変更年月日 2001年 7月 2日  
[変更理由] 住所変更  
住 所 東京都港区芝浦一丁目1番1号  
氏 名 株式会社東芝